

## Memoria centrale a semiconduttore (Cap. 5 – Stallings)

Memory Type	Category	Erasure	Write Mechanism	Volatility
Random-access memory (RAM)	Read-write memory	Electrically, byte-level	Electrically	Volatile
Read-only memory (ROM)	Read-only memory	Not possible	Masks	Nonvolatile
Programmable ROM (PROM)			Electrically	
Erasable PROM (EPROM)	UV light, chip-level			
Electrically Erasable PROM (EEPROM)	Electrically, byte-level			
Flash memory	Read-mostly memory	Electrically, block-level		

Architettura degli elaboratori -1

Pagina 187

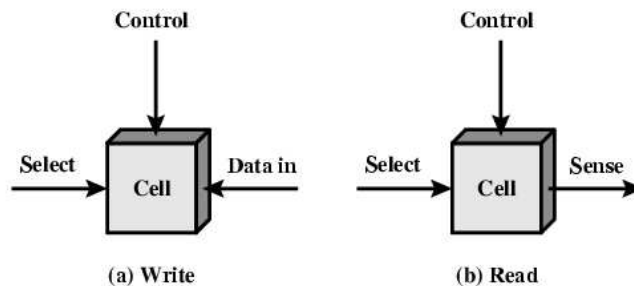
## Memorie a semiconduttore

- RAM
  - Accesso casuale
  - Read/Write
  - Volatile
  - Memorizzazione temporanea
  - Statica o dinamica

Architettura degli elaboratori -1

Pagina 188

## Operazioni cella memoria



(a) Write

(b) Read

Architettura degli elaboratori -1

Pagina 189

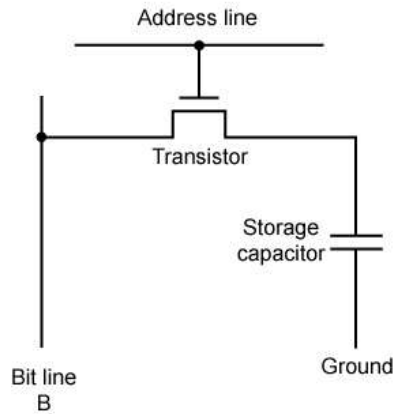
## RAM Dinamiche (Dynamic RAM)

- Bit memorizzati come cariche in condensatori
- Decadimento delle cariche con il tempo
- Necessitano di refresh delle cariche, anche durante l'alimentazione
- Costruzione più semplice
- Un condensatore per bit
- Meno costose
- Necessitano di circuiti per il refresh
- Più lente
- Usate per la memoria principale
- In essenza operano in modo analogico
  - il livello di carica determina il valore digitale

Architettura degli elaboratori -1

Pagina 190

## Struttura RAM Dinamiche



Pagina 191

## Funzionamento DRAM

- Linea indirizzo attivata quando si deve scrivere o leggere un bit
  - Transistor "chiuso" (la corrente fluisce)
- Write
  - Si applica tensione alla linea di bit
    - Tensione alta indica valore 1; tensione bassa indica valore 0
  - Poi si applica un segnale alla linea indirizzo
    - Trasferisce la carica al condensatore
- Read
  - Si seleziona la linea indirizzo
    - transistor si accende
  - La carica del condensatore fluisce attraverso la linea di bit verso un amplificatore
    - Valore di carica comparato con un segnale di riferimento per stabilire se vale 0 o 1
  - La carica del condensatore deve essere ristabilita (refresh)

Architettura degli elaboratori - I

Pagina 192

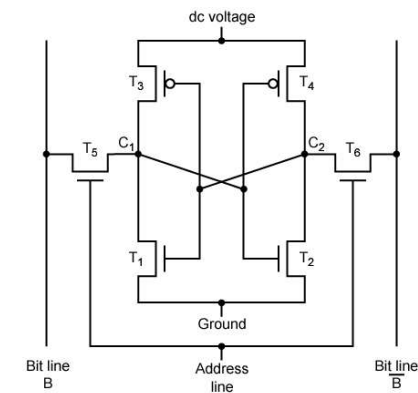
## RAM Statica

- Bit memorizzati tramite porte logiche
- Nessuna perdita di carica
- Nessuna necessità di refresh
- Costruzione più complessa
- Più elementi per bit
- Più costosa
- Non ha bisogno di circuiti di refresh
- Più veloci
- Usate per la cache
- Digitale
  - usa flip flop

Architettura degli elaboratori - I

Pagina 193

## Struttura RAM Statica



Architettura degli elaboratori - I

Pagina 194

## Funzionamento RAM Statica

- La disposizione dei transistor garantisce stati stabili
- Stato 1
  - C<sub>1</sub> alto, C<sub>2</sub> basso
  - T<sub>1</sub> T<sub>4</sub> “spenti”, T<sub>2</sub> T<sub>3</sub> “accesi”,
- Stato 0
  - C<sub>2</sub> alto, C<sub>1</sub> basso
  - T<sub>2</sub> T<sub>3</sub> “spenti”, T<sub>1</sub> T<sub>4</sub> “accesi”,
- La linea indirizzo controlla i transistor T<sub>5</sub> T<sub>6</sub> (accesi con presenza di segnale)
- Write – si applica il valore da scrivere alla linea B ed il complemento del valore alla linea  $\bar{B}$
- Read – il valore viene letto tramite la linea B

## SRAM e DRAM a confronto

- Entrambe sono volatili
  - Alimentazione necessaria per preservare i dati
- celle dinamiche
  - Più semplici da costruire, più piccole
  - Più dense
  - Meno costose
  - Necessitano di refresh
  - Unità di memoria più capienti
- celle statiche
  - Più veloci
  - Cache

## Read Only Memory (ROM)

- Memorizzazione permanente
  - Non volatili
- Usate per memorizzare:
  - microprogrammi
  - subroutine di libreria
  - programmi di sistema (BIOS)
  - funzioni tabulate

## Tipi di ROM

- Scritte in produzione
  - Molto costoso per pochi “pezzi”
- Programmabili (una sola volta)
  - PROM
  - Necessitano di strumentazione speciale per la programmazione
- Principalmente di lettura (Read “mostly”)
  - Erasable Programmable (EPROM)
    - Si cancellano (per intero) tramite raggi ultravioletti
  - Electrically Erasable (EEPROM)
    - Impiegano molto più tempo per la scrittura che per la lettura
  - Memorie Flash
    - Cancellazione elettrica di blocchi di memoria

## Organizzazione DRAM

- Un chip da 16Mbit può essere organizzato come un 1M di parole da 16 bit
- Alternativamente si hanno 16 chip da 1Mbit, dove il primo bit della parola si trova nel primo chip, il secondo bit nel secondo chip e così via
- Un chip da 16Mbit può essere organizzato come un array di 2048 x 2048 x 4 bit
  - Riduce il numero di pin di indirizzamento
    - Multiplex per l'indirizzamento per righe e colonne
    - 11 pin per l'indirizzo ( $2^{11}=2048$ )
    - L'aggiunta di un pin raddoppia l'intervallo di valori e quindi quadruplica la capacità indirizzabile

Architettura degli elaboratori -1

Pagina 199

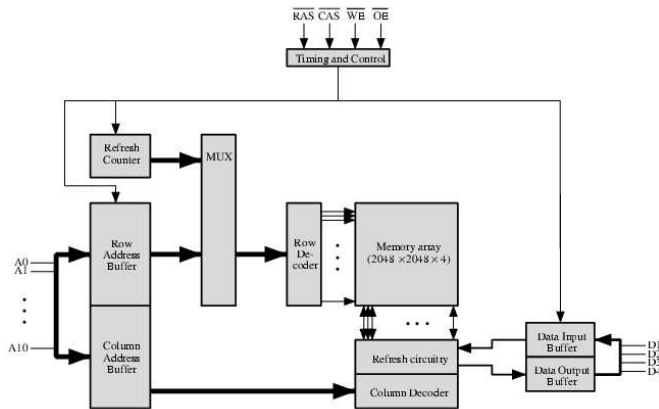
## Refreshing

- Circuiti di refresh inclusi nel chip di memoria
- Chip disabilitato durante il refresh
- Un contatore di refresh genera in sequenza tutti gli indirizzi di riga
- Quindi si legge il valore e lo si riscrive nella locazione
- Tale operazione consuma tempo
- Rallenta le prestazioni

Architettura degli elaboratori -1

Pagina 200

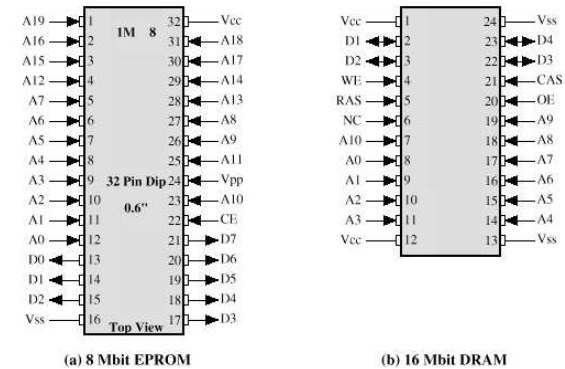
## 16 Mb DRAM (4M x 4)



Architettura degli elaboratori -1

Pagina 201

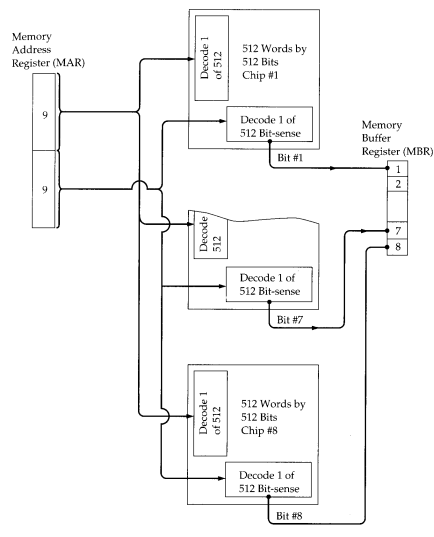
## Confezionamento (Packaging)



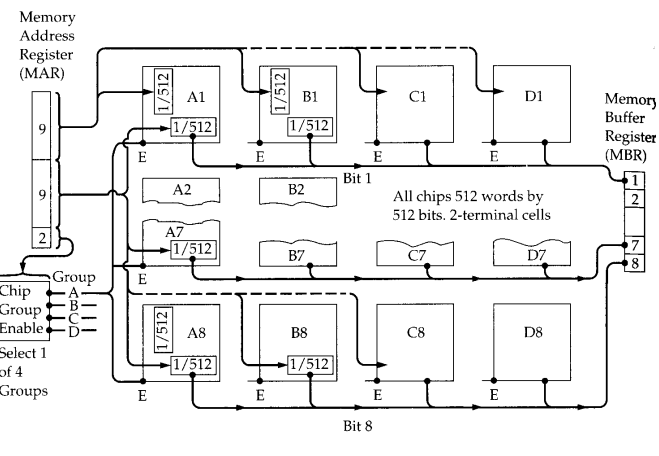
Architettura degli elaboratori -1

Pagina 202

## Organizzazione modulo da 256KB



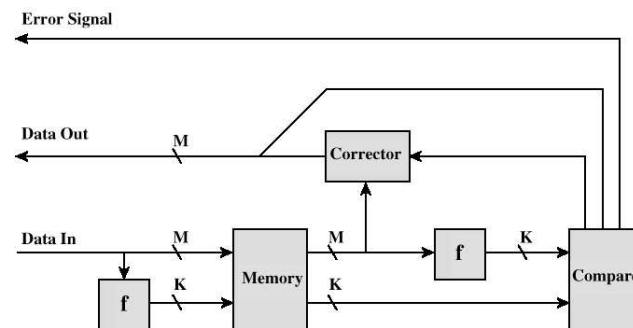
## Organizzazione modulo da 1MB



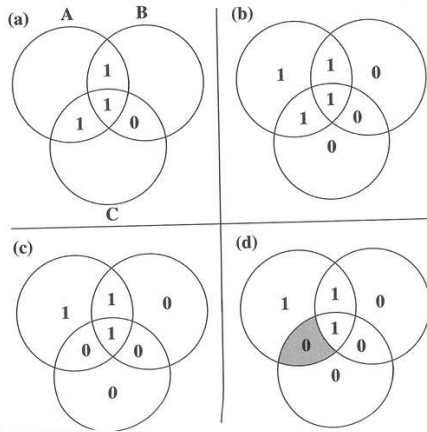
## Correzione Errori

- Guasti Hardware (Hard Failure)
  - Guasti permanenti
- Errori Software (Soft Error)
  - Random, non-distruttivi
  - Danni alla memoria non permanenti
- Errori rilevati ed eventualmente corretti usando, ad esempio, codici correttori di Hamming

## Schema di funzionamento del codice a correzione di errore



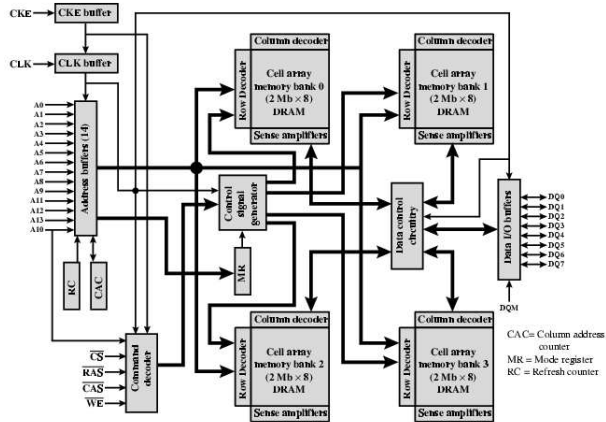
### Esempio di codice a correzione di errore di Hamming



## DRAM Sincrona (SDRAM)

- Accesso sincronizzato con un clock esterno
- Indirizzo presentato alla RAM
- La RAM recupera i dati (usualmente la CPU si pone in attesa)
- Poiché la SDRAM sposta i dati in sincronia con il clock di sistema, la CPU sa quando i dati saranno pronti
- La CPU non deve attendere, può svolgere altre attività
- Il “Burst mode” permette alla SDRAM di predisporre un flusso di dati e di spedirlo in output in blocchi
- La DDR-SDRAM invia i dati due volte per ciclo di clock (sia durante il fronte di ascesa che di discesa del segnale di clock)

## SDRAM



## Temporizzazione della lettura SDRAM

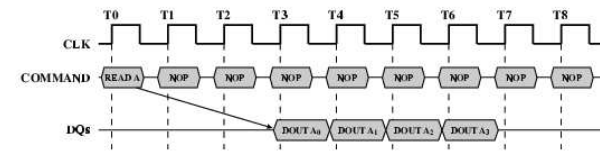


Figure 5.13 SDRAM Read Timing (Burst Length = 4, CAS latency = 2)

## DDR SDRAM

- SDRAM può inviare i dati solo una volta per ciclo di clock
- Double-Data-Rate SDRAM può inviare i dati due volte per ciclo
  - “rising edge” e “falling edge”

Architettura degli elaboratori -1

Pagina 211

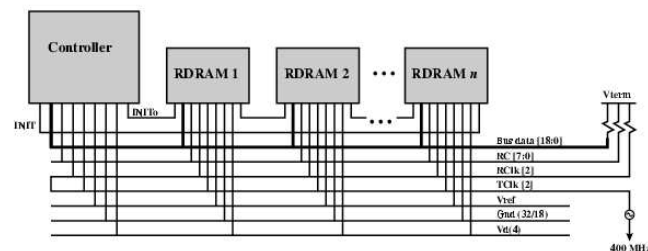
## RAMBUS

- Adottata da Intel per Pentium & Itanium
- “Avversario” principale della SDRAM
- package verticale – tutti i pin su un lato
- Dati scambiati tramite 28 cavi
- Il bus indirizza fino a 320 chip RDRAM alla velocità di 1.6 Gbps
- Protocollo di trasferimento dei blocchi asincrono
  - Tempo di accesso 480ns
  - poi trasferimento dati a 1.6 Gbps

Architettura degli elaboratori -1

Pagina 212

## Diagramma RAMBUS



Architettura degli elaboratori -1

Pagina 213

## Cache DRAM

- Prodotta da Mitsubishi
- Integra una piccola cache SRAM (16 kb) all'interno di un generico chip DRAM
  - Usata come una cache vera e propria
    - Linee a 64 bit
    - Efficace per accessi casuali
  - Oppure di supporto per l'accesso seriale a blocchi di dati
    - Ad esempio, per il refresh di uno schermo bit mapped
      - CDRAM può precaricare dati da DRAM in SRAM
      - Successivamente si effettua accesso sequenziale esclusivamente alla SRAM

Architettura degli elaboratori -1

Pagina 214