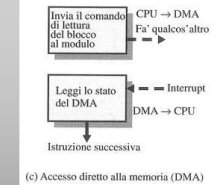


## Accesso Diretto alla Memoria (Direct Memory Access)

- Sia I/O da programma che interrupt driven richiedono l'intervento attivo della CPU
  - Il tasso di trasferimento dei dati è limitato
  - CPU è impegnata in tali operazioni e non può svolgere altre attività per lei più specifiche
- DMA riduce l'intervento della CPU al minimo necessario

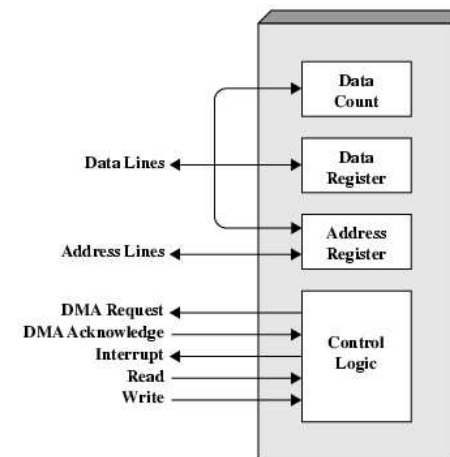
## Tre tecniche per l'input di un blocco di dati



## Funzione del DMA

- Modulo (hardware) addizionale, connesso al bus
- Il controllore DMA sostituisce la CPU per la maggior parte delle attività di I/O

## Diagramma di un tipico modulo DMA



## Operazioni DMA

- CPU comunica al controllore DMA :-
  - lettura/scrittura
  - indirizzo dispositivo
  - indirizzo iniziale in memoria del blocco dati coinvolto nell'operazione (da dove leggere o dove scrivere i dati)
  - quantità di dati da trasferire
- CPU prosegue eseguendo altre attività
- Il controllore DMA si occupa del trasferimento dei dati (“colloquia” direttamente con la memoria centrale)
- Il controllore DMA invia un interrupt alla CPU quando ha terminato il trasferimento

Architettura degli elaboratori -1

Pagina 303

## Trasferimento dati DMA

- Il *DMA controller* può accedere al canale dati in uno di due modi
  - **Una parola alla volta**, sottraendo di tanto in tanto alla CPU il controllo sul canale (*cycle stealing*)
  - **Per blocchi**, prendendo possesso del canale per una serie di trasferimenti (*burst mode*)
  - La CPU è bloccata in entrambi i casi, ma il *burst mode* è **più efficace** perché l'acquisizione del canale è onerosa

Architettura degli elaboratori -1

Pagina 304

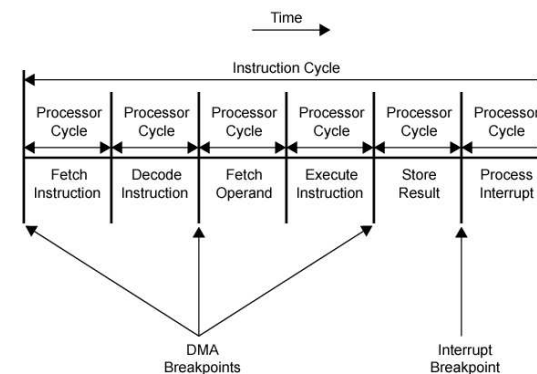
## Trasferimento dati DMA (*cycle stealing*)

- Il controllore DMA prende possesso del bus per un ciclo
- Trasferisce una parola (word) di dati
- Non è una interruzione
  - La CPU non cambia contesto
- La CPU rimane “sospesa” proprio nel momento prima che acceda al bus
  - Ad esempio, prima del caricamento di un dato e/o operando o di una scrittura
- Rallenta la CPU ma non così tanto come nel caso in cui sia la CPU stessa ad occuparsi del trasferimento dati

Architettura degli elaboratori -1

Pagina 305

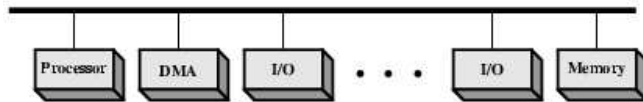
## Breakpoint di DMA e di Interrupt durante un ciclo di istruzione



Architettura degli elaboratori -1

Pagina 306

## Configurazioni DMA

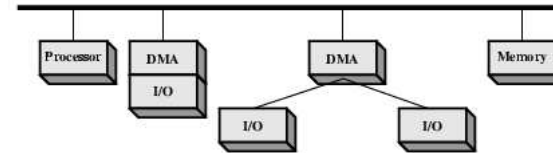


- Bus singolo, controller DMA isolato
- Ogni trasferimento usa il bus due volte
  - da I/O a DMA e poi da DMA alla memoria
- CPU perde il possesso del bus due volte

Architettura degli elaboratori -1

Pagina 307

## Configurazioni DMA



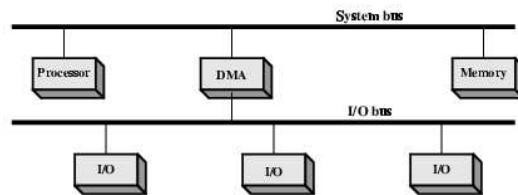
(b) Single-bus, Integrated DMA-I/O

- Bus singolo, controller DMA integrato con I/O
- Può controllare più di un dispositivo
- Ogni trasferimento usa il bus una volta
  - da DMA a memoria
- CPU perde il controllo del bus una sola volta

Architettura degli elaboratori -1

Pagina 308

## Configurazioni DMA



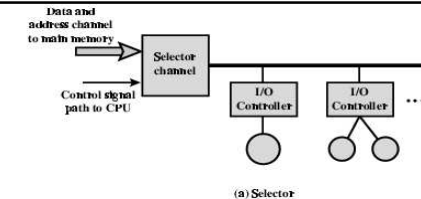
(c) I/O bus

- Bus di I/O separato
- DMA necessita di una sola interfaccia I/O
- Ogni trasferimento usa il bus di sistema una sola volta
  - da DMA a memoria
- CPU perde il controllo del bus una sola volta

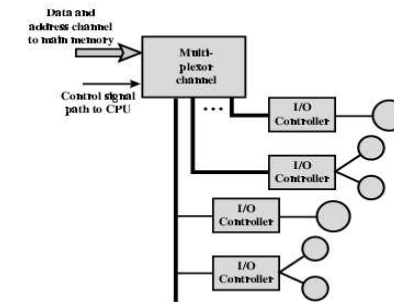
Architettura degli elaboratori -1

Pagina 309

## Canali I/O



(a) Selector



(b) Multiplexor