

Architettura degli Elaboratori - 1

Università degli Studi di Padova

Facoltà di Scienze MM.FF.NN.

Corso di Laurea Triennale in Informatica

docente: Alessandro Sperduti

Informazioni Generali

- Lucidi ed esercizi disponibili in formato elettronico
<http://www.math.unipd.it/~sperduti/architettura1.html>
- Modalità d'esame:
 - di norma: scritto *obbligatorio* con orale *opzionale*
 - in casi eccezionali (es. **studente che copia durante la prova d'esame scritta**): scritto ed orale *obbligatori*
- Registrazione dell'esame:
 - **SOLO** nelle date deputate alla registrazione (una data per appello d'esame)
 - entro l'anno accademico (30 Settembre 2008), altrimenti si **PERDE** il voto

Obiettivi del Corso

- **Descrizione dell'architettura degli elaboratori *in ambito locale* dal punto di vista funzionale e tecnologico**
- **Introdurre *i principi e le tecniche generali* (per aumentare l'efficienza e facilità d'uso degli elaboratori), validi indipendentemente dai dettagli implementativi di ogni specifica architettura**
- Testi di riferimento:
 - W. Stallings. **Architettura e organizzazione dei calcolatori 6/E - Progetto e prestazioni** Pearson Education Italia
 - J L Hennessy & D A Patterson
Computer Architecture A Quantitative Approach
ISBN 1-55860-329-8 (consultazione)

Contenuto del Corso

- | | |
|--|-----------------|
| 1. Struttura e funzione della CPU | [Ch. 12] |
| 2. Processori RISC | [Ch. 13] |
| 3. Memoria cache | [Ch. 4] |
| 4. Memoria interna | [Ch. 5] |
| 5. Memoria esterna | [Ch. 6] |
| 6. Input/Output | [Ch. 7] |

Struttura e funzione della CPU

Cercheremo di rispondere alle seguenti domande:

- Come si differenziano le CPU dal punto di vista dei registri e del loro uso ?
- Come può una CPU organizzare i calcoli relativi alla esecuzione delle istruzioni in modo da essere più efficiente ?

efficiente:

utilizzare al meglio tutte le componenti della CPU in modo da non avere componenti inattive (inefficienza)

pipelining:

- ogni istruzione, quando è eseguita, “passa” attraverso stadi separati di esecuzione (ad es.: fetch, decodifica, calcolo indirizzi,...);
- *idea*: mantenere tutti gli stadi attivi eseguendo più istruzioni, come in una catena di montaggio (ogni stadio lavora contemporaneamente su una istruzione diversa)

Processori RISC

Cercheremo di rispondere alle seguenti domande:

- Quali sono le istruzioni più frequentemente utilizzate dai programmi scritti nei linguaggi ad alto livello ?
- Si può utilizzare la risposta alla prima domanda per decidere quale deve essere il set delle istruzioni da implementare per una CPU ?

Reduced Instruction Set Computer (RISC):

- un ridotto insieme di istruzioni, tutte dello stesso formato
- un elevato numero di registri o l’impiego di un compilatore che ne ottimizza l’uso
- particolare attenzione all’ottimizzazione della pipeline

Memoria Cache

Cercheremo di rispondere alla seguente domanda:

- Memorie RAM:
 - quelle veloci sono molto costose e di capacità limitata;
 - quelle di grossa capacità sono lente ma economiche;
- come è possibile combinare l'uso di questi due tipi di memorie in modo da avere una memoria RAM:
 - di grossa capacità
 - abbastanza veloce
 - economica ?

Gerarchia di memoria:

- la CPU richiede i dati necessari alla memoria veloce (Cache)
- se la Cache non li contiene, li richiede alla memoria più lenta che contiene tutti i dati
- quindi dati riferiti frequentemente si troveranno in Cache

Memoria Interna

Cercheremo di rispondere alle seguenti domande:

- Che tipo di memoria, e quale tecnologia, viene usata per la memoria Cache ?

SRAM (static RAM)

- Che tipo di memoria, e quale tecnologia, viene usata per la RAM più lenta ma più capiente ?

DRAM (dynamic RAM)

- Come si possono organizzare più moduli di DRAM per avere un accesso più veloce ed efficiente ?

DRAM sincrona, DRAM RamBus

Input/Output

Cercheremo di rispondere alle seguenti domande:

- Come vengono organizzate e gestite le operazioni di input/output fra la CPU ed i dispositivi esterni (disco rigido, tastiera, video, ...)?
- Cosa è un modulo di I/O? Quali funzionalità svolge? Quale è la sua struttura?
- Quali sono le alternative possibili di gestione dell'I/O?
 - **I/O da programma**
 - **I/O driven (guidato da interrupt)**
 - **accesso diretto alla memoria (DMA)**
- Cosa è un canale o processore di I/O?

Memoria Esterna

Cercheremo di rispondere alle seguenti domande:

- Come viene memorizzata l'informazione in un disco rigido?
- Come si accede all'informazione in un disco rigido?
- Come si possono usare più dischi rigidi in parallelo in modo da recuperare più velocemente le informazioni e preservarla da guasti?
 - **Redundant Array of Independent Disk (RAID)**
- Come viene memorizzata l'informazione in un CD-ROM o DVD?
- Con quale tecnologia?