

Pipeline prestazioni ideali

Le prestazioni ideali di una pipeline si possono calcolare matematicamente come segue

- Sia τ il tempo di ciclo di una pipeline necessario per far avanzare di uno stadio le istruzioni attraverso una pipeline. Questo può essere determinato come segue:

$$\tau = \max_i [\tau_i] + d = \tau_m + d \quad 1 \leq i \leq k$$

- τ_m = massimo ritardo di stadio (ritardo dello stadio più oneroso)
- k = numero di stadi nella pipeline
- d = ritardo di commutazione di un registro, richiesto per l'avanzamento di segnali e dati da uno stadio al successivo

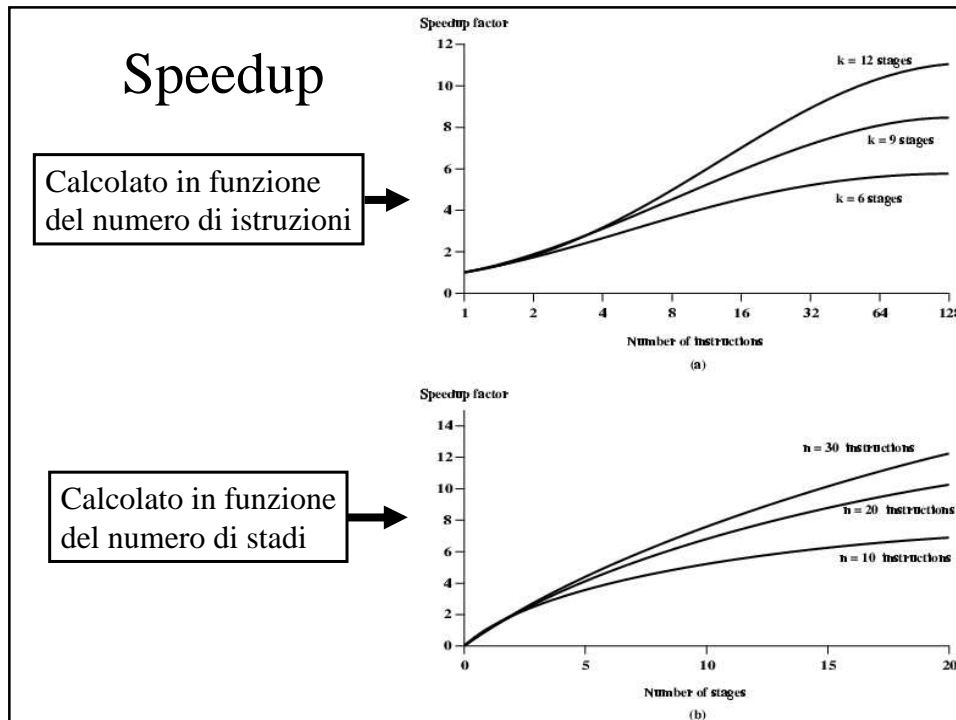
Pipeline prestazioni ideali

Poiché $\tau_m \gg d$, il tempo totale T_k richiesto da una pipeline con k stadi per eseguire n istruzioni (senza considerare salti ed in prima approssimazione) è dato da

$$T_k = [k + (n-1)]\tau$$

in quanto occorrono k cicli per completare l'esecuzione della prima istruzione e $n-1$ per le restanti istruzioni, e quindi il *fattore di velocizzazione* (speedup) di una pipeline a k stadi è dato da:

$$S_k = \frac{T_1}{T_k} = \frac{nk\tau}{[k+(n-1)]\tau} = \frac{nk}{[k+(n-1)]}$$



Pipeline Problemi 1

- Vari fenomeni pregiudicano il raggiungimento del massimo di parallelismo teorico (**stallo**)
 - **Sbilanciamento delle fasi**
 - Durata diversa per fase e per istruzione
 - **Problemi strutturali**
 - La sovrapposizione totale di tutte le (fasi di) istruzioni causa conflitti di accesso a risorse limitate e condivise (ad esempio la memoria per gli stadi FI, FO, WO)

Pipeline Problemi 2

– Dipendenza dai dati

- L'operazione successiva dipende dai risultati dell'operazione precedente

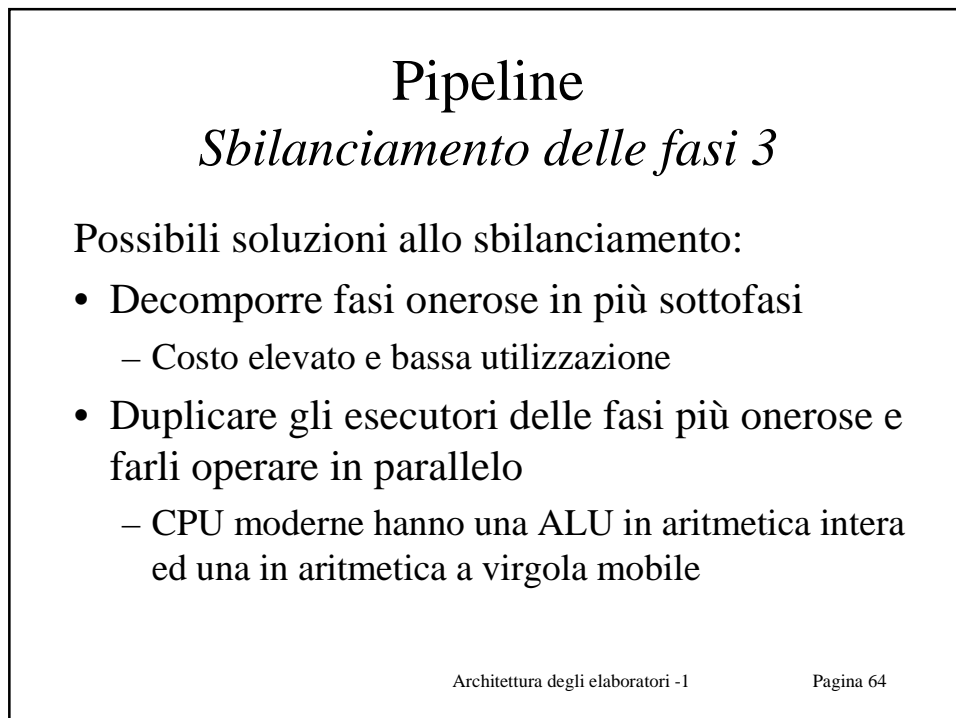
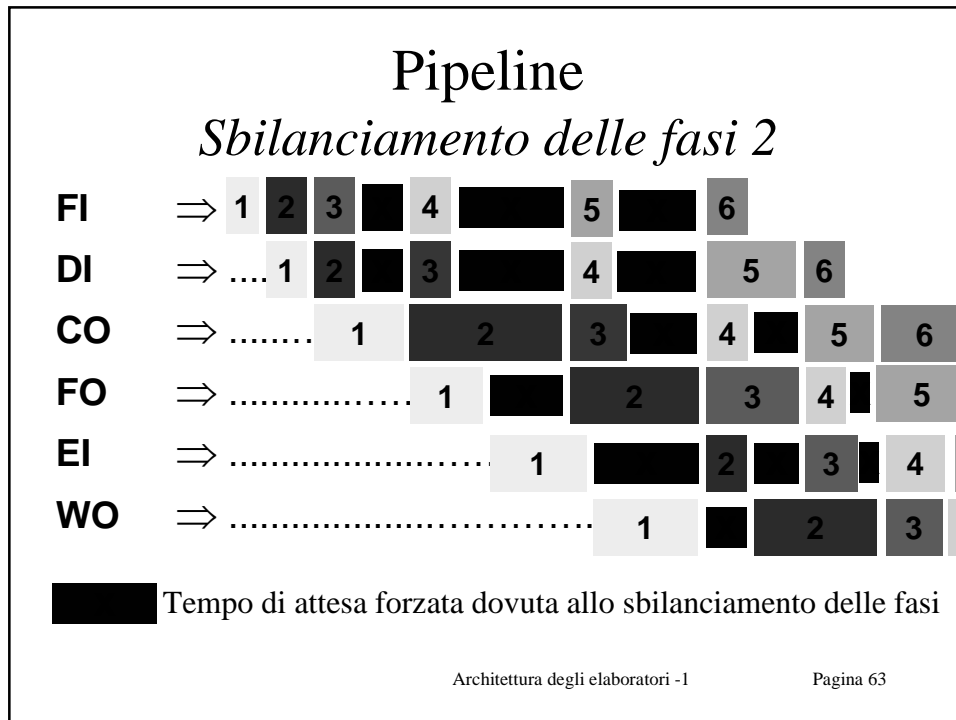
– Dipendenza dai controlli

- Istruzioni che causano una violazione di sequenzialità (p.es.: salti condizionali) invalidano il principio del *pipelining* sequenziale

Pipeline

Sbilanciamento delle fasi 1

- La suddivisione in fasi va fatta in base all'istruzione più onerosa
- Non tutte le istruzioni richiedono le stesse fasi e le stesse risorse
- Non tutte le fasi richiedono lo stesso tempo di esecuzione
 - P.es.: lettura di un operando tramite registro rispetto ad una mediante indirizzamento indiretto



Pipeline

Problemi strutturali

Problemi

- Maggiori risorse interne (*severità bassa*): l'evoluzione tecnologica ha spesso permesso di duplicarle (es. registri)
- Colli di bottiglia (*severità alta*): l'accesso alle risorse esterne, p.es.: memoria, è molto costoso e molto frequente (anche 3 accessi per ciclo di clock)

Soluzioni

- Suddividere le memorie (accessi paralleli: introdurre una memoria cache per le istruzioni e una per i dati)
- Introdurre fasi non operative (*nop*)

Pipeline

Dipendenza dai dati 1

- Un dato modificato nella fase **EI** dell'istruzione corrente può dover essere utilizzato dalla fase **FO** dell'istruzione successiva

INC [0123]

CMP [0123], AL



Ci sono altri tipi di dipendenze ?

Dipendenze



Si consideri la sequenza

istruzione *i*
istruzione *j*

Esempio visto: “lettura dopo scrittura” (ReadAfterWrite)

– *j* leggere prima che *i* abbia scritto

Altro caso: “scrittura dopo scrittura” (WriteAfterWrite)

– *j* scrive prima che *i* abbia scritto

Altro caso: “scrittura dopo lettura” (WriteAfterRead)

– *j* scrive prima che *i* abbia letto (caso raro in pipeline)

Pipeline

Dipendenza dai dati 2

Soluzioni

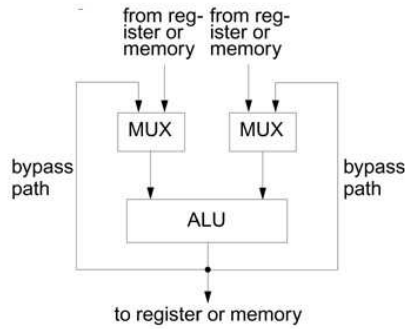
- Introduzione di fasi non operative (***nop***)
- Individuazione del rischio e prelievo del dato direttamente all’uscita dell’ALU (**data forwarding**) →
- Risoluzione a livello di compilatore (vedremo esempi per l’architettura MIPS)
- Riordino delle istruzioni (**pipeline scheduling**)

Pipeline *Data forwarding*



senza bypass path

I1: MUL R2,R3 $R2 \leftarrow R2 * R3$
I2: ADD R1,R2 $R1 \leftarrow R1 + R2$



Clock cycle → 1 2 3 4 5 6 7 8 9 10 11 12

MUL R2,R3	FI	DI	CO	FO	EI	WO						
ADD R1,R2		FI	DI	CO	stall	stall	FO	EI	WO			
Instr. i+2			FI	DI			CO	FO	EI	WO		

con bypass path

Clock cycle → 1 2 3 4 5 6 7 8 9 10 11 12

MUL R2,R3	FI	DI	CO	FO	EI	WO						
ADD R1,R2		FI	DI	CO	stall	FO	EI	WO				

Pipeline *Dipendenza dai controlli*

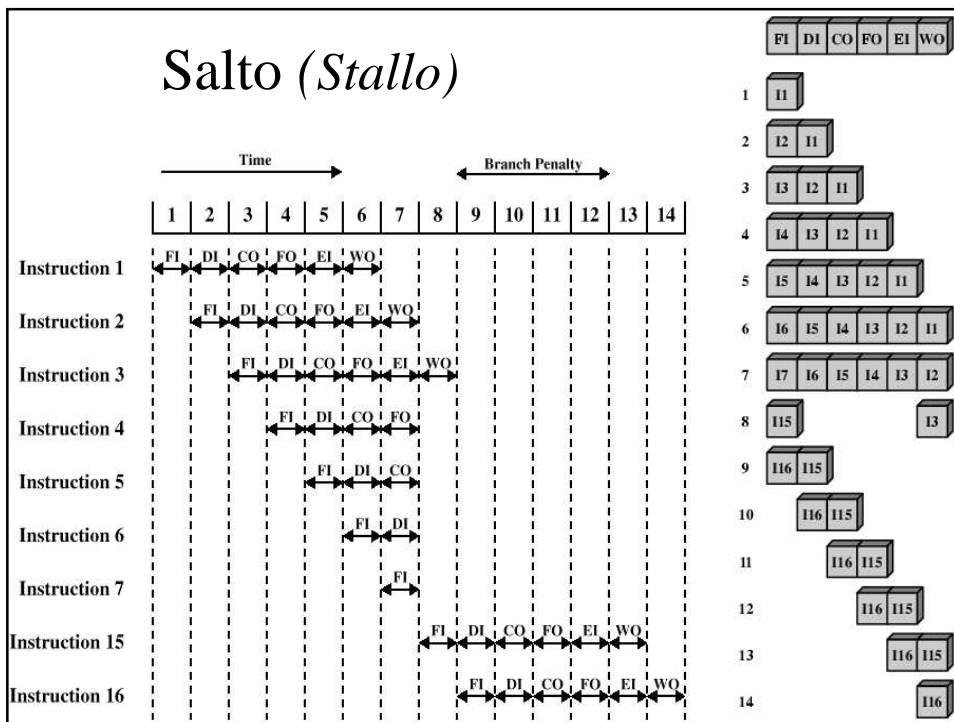
- Tutte le istruzioni che modificano il PC (salti condizionati e non, chiamate a e ritorni da procedure, interruzioni) invalidano la pipeline
- La fase **fetch** successiva carica l'istruzione seguente, che può *non essere* quella giusta
- Tali istruzioni sono circa il 30% del totale medio di un programma

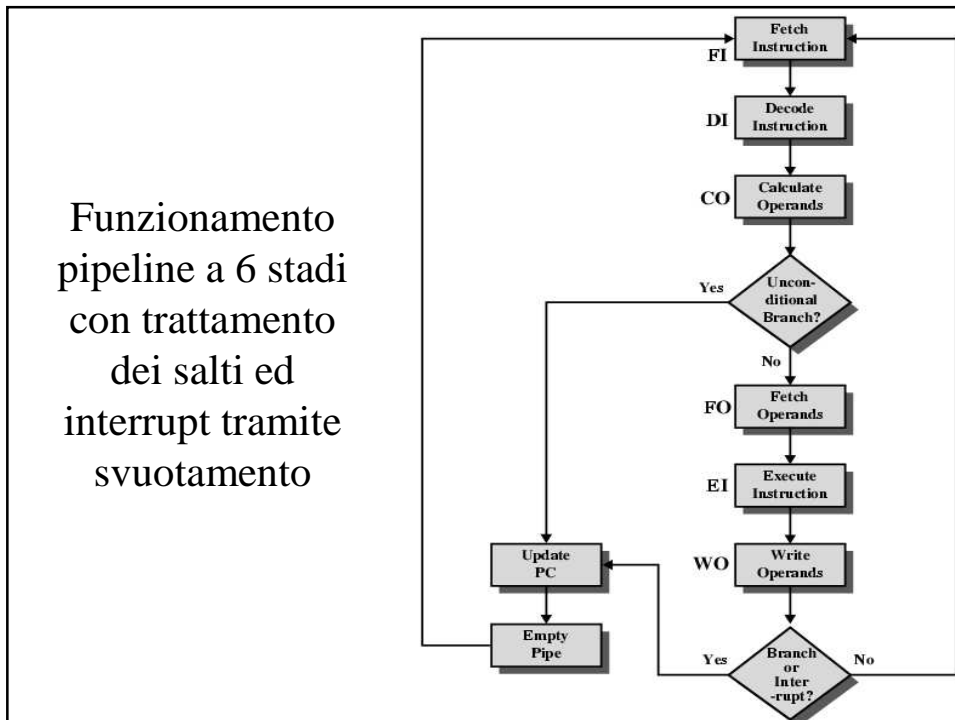
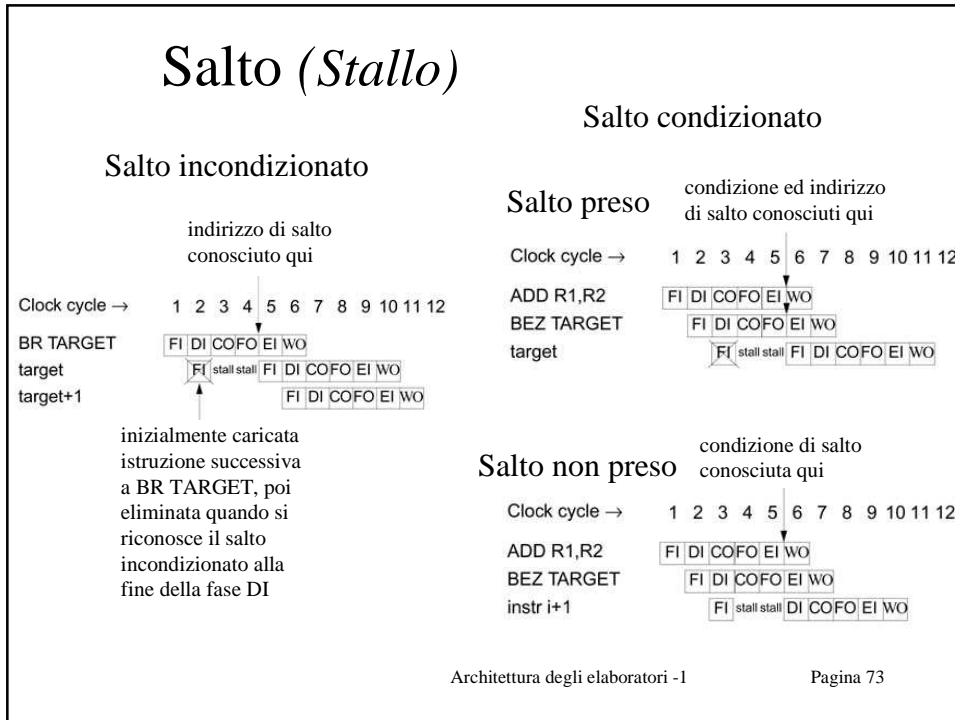
Pipeline

Dipendenza dai controlli

Soluzioni

- Mettere in **stallo** la pipeline fino a quando non si è calcolato l'indirizzo della prossima istruzione
 - Pessima efficienza, massima semplicità
- Individuare le istruzioni critiche per anticiparne l'esecuzione, eventualmente mediante apposita logica di controllo
 - Compilazione complessa, hardware specifico





Pipeline

Dipendenza dai controlli

Alcune soluzioni per salti condizionati

- flussi multipli (multiple streams) ➡
- prelievo anticipato della destinazione (prefetch branch target) ➡
- buffer circolare (loop buffer) ➡
- predizione del salto (branch prediction) ➡
- salto ritardato (delayed branch) ➡

Pipeline

Dipendenza dai controlli



Flussi multipli: replicare le parti iniziali della pipeline, una che contenga l'istruzione successiva a quella corrente di salto (nel caso il salto non avvenga), e l'altra l'istruzione destinazione (*target*) del salto (nel caso in cui il salto avvenga)

Problemi di questa soluzione:

- conflitti nell'accesso alle risorse (registri, memoria, ALU,...) da parte delle 2 pipeline
- presenza di salti condizionali in sequenza che entrano nelle 2 pipeline prima che si sia risolta la condizione del primo salto condizionale (occorrerebbero 2 pipeline aggiuntive per ogni ulteriore salto condizionale...)

Pipeline

Dipendenza dai controlli



Prelievo anticipato della destinazione: quando si incontra un salto condizionato si effettua il fetch anticipato della istruzione di destinazione del salto in modo da trovarla già caricata nel caso in cui il salto debba avvenire.

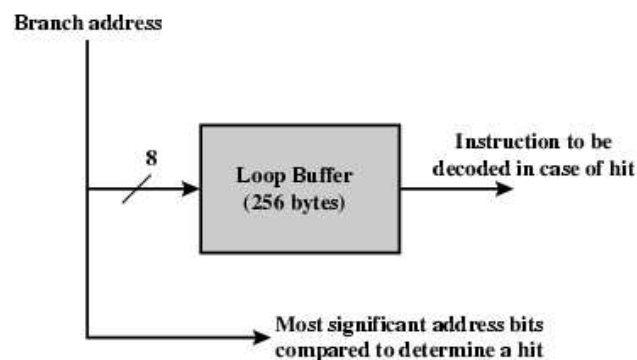
Problemi di questa soluzione:

- non evita l'eventuale svuotamento della pipeline con conseguente perdita di prestazioni

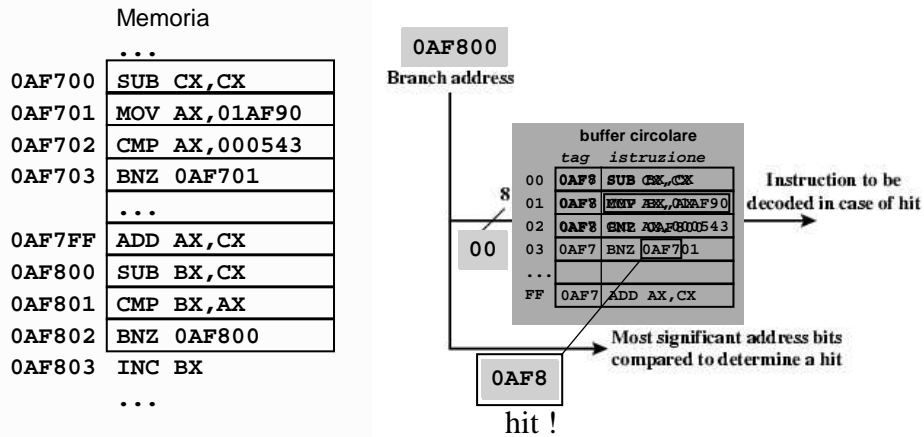
Pipeline

Dipendenza dai controlli

Buffer circolare: si utilizza una memoria piccola e molto veloce (il buffer circolare) dove mantenere le ultime n istruzioni prelevate. In caso di salto, si controlla se l'istruzione destinazione è già presente nel buffer, così da evitare il fetch della stessa.



Buffer circolare (senza prefetch)



Pipeline

Dipendenza dai controlli



Buffer circolare: si utilizza una memoria piccola e molto veloce (il buffer circolare) dove mantenere le ultime n istruzioni prelevate. In caso di salto, si controlla se l'istruzione destinazione è già presente nel buffer, così da evitare il fetch della stessa.

Vantaggi:

- anticipando il fetch, alcune delle istruzioni successive a quella corrente saranno già presenti nel buffer e se non si ha salto non ci sarà bisogno di caricarle dalla memoria
- se si salta in avanti di poche istruzioni (vedi trattamento del costrutto IF-THEN-ELSE), l'istruzione destinazione sarà già presente nel buffer
- se il salto condizionale realizza un ciclo le cui istruzioni possono essere tutte contenute nel buffer, non c'è bisogno di effettuare fetch ripetuti delle stesse istruzioni

Pipeline

Dipendenza dai controlli

Predizione dei salti: si cerca di prevedere se il salto sarà intrapreso oppure no.

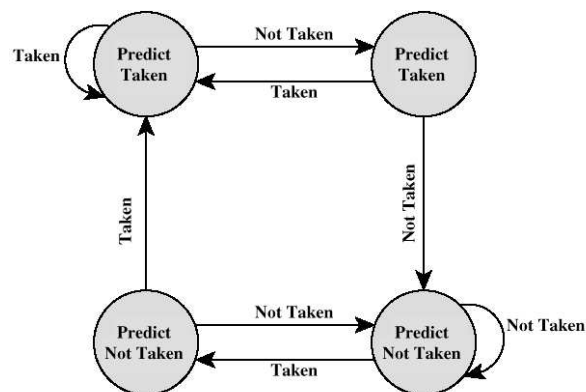
Varie possibilità:

- previsione di saltare sempre
 - previsione di non saltare mai
 - previsione in base al codice operativo
- } *approcci statici*
- bit *taken/not taken*
 - tabella della storia dei salti
- } *approcci dinamici*

Approcci dinamici di predizione: cercano di migliorare la qualità della predizione sul salto memorizzando la storia delle istruzioni di salto condizionato di uno specifico programma.

bit *taken/not taken* :

- ad ogni istruzione di salto condizionato si associano uno o più bit che codificano la storia recente.
- bit memorizzati non in memoria centrale ma in una locazione temporanea ad accesso molto veloce



esempio con 2 bit

Approcci dinamici di predizione: cercano di migliorare la qualità della predizione sul salto memorizzando la storia delle istruzioni di salto condizionato di uno specifico programma

esempio:

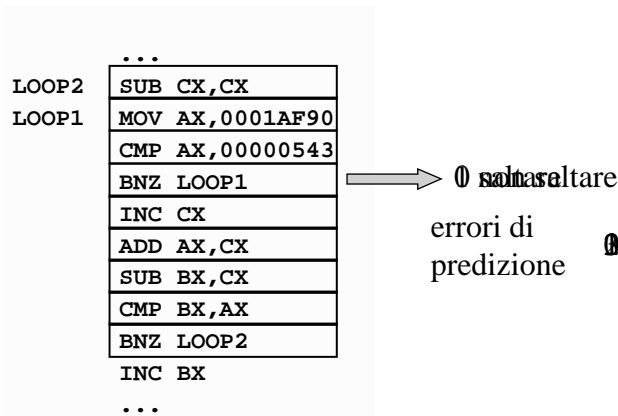
```

.....
LOOP: .....
.....
.....
      BNZ LOOP

```

- **Predizione con 1 bit:** si predice il comportamento osservato l'ultima volta
 - dopo la prima esecuzione del ciclo, in uscita dal ciclo, il bit assegnato a BNZ ricorderà che il salto **non è stato preso**, così che, quando si rientra nel ciclo si avrà un primo errore per la prima iterazione del ciclo (che invece è preso), le successive predizioni saranno giuste, tranne l'ultima, quando si esce dal ciclo: in totale **2 errori**
- **Predizione con 2 bit:** vedi lucido precedente
 - dopo la prima esecuzione del ciclo, si commette **un solo errore** di predizione all'uscita del ciclo

Predizione dinamica 1 bit



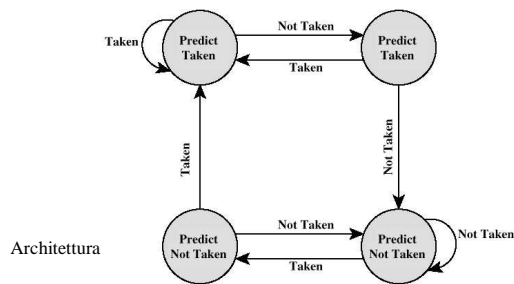
Predizione dinamica 2 bit

```

...
LOOP2 SUB CX,CX
LOOP1 MOV AX,0001AF90
      CMP AX,00000543
      BNZ LOOP1
      INC CX
      ADD AX,CX
      SUB BX,CX
      CMP BX,AX
      BNZ LOOP2
      INC BX
...
    
```

errori di predizione 0

10 saltare

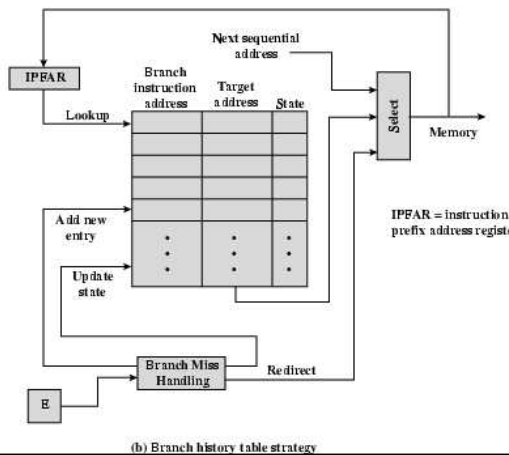
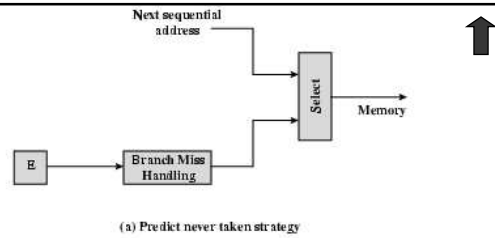


Problemi di bit taken/not taken :

- quando si decide di saltare, bisogna aspettare la decodifica dell'indirizzo destinazione prima di poter prelevare l'istruzione destinazione
- si può anticipare il prelievo a patto di salvare opportune info nel *branch target buffer* o *branch history table*

tabella della storia dei salti:

- piccola memoria associata allo stadio fetch della pipeline
- ogni riga della tabella è costituita da 3 elementi:
 - indirizzo istruzione salto,
 - l'indirizzo destinazione del salto (o l'istruzione destinazione stessa),
 - alcuni bit di storia che descrivono lo stato dell'uso dell'istruzione



Salto ritardato (delayed branch)

Idea base: utilizzare gli stadi inattivi a causa dello stallo per fare del lavoro utile

Delayed branch:

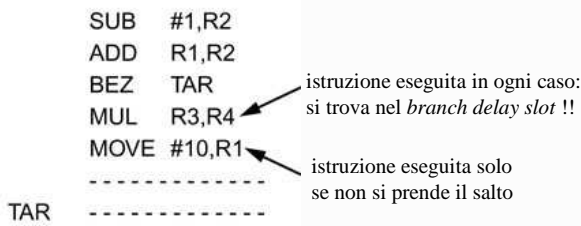
- La CPU esegue **sempre** l'istruzione che segue il salto e solo dopo altera, se necessario, la sequenza di esecuzione delle istruzioni
- L'istruzione che segue quella di salto si dice essere posta nel *branch delay slot*
- Il **compilatore** cerca di allocare nel *branch delay slot* una istruzione "opportuna"

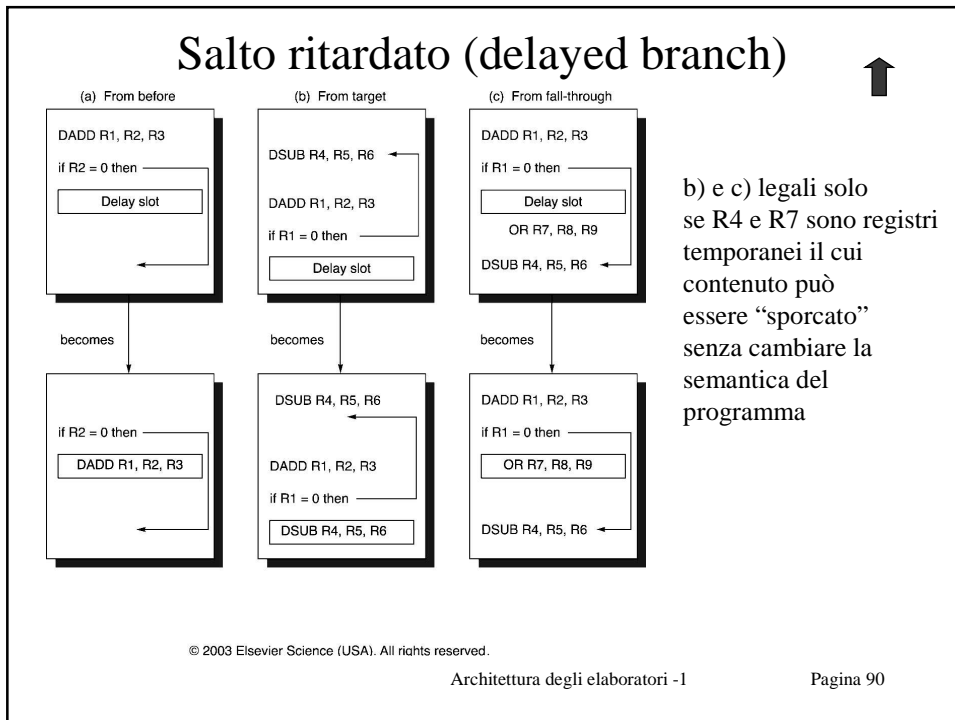
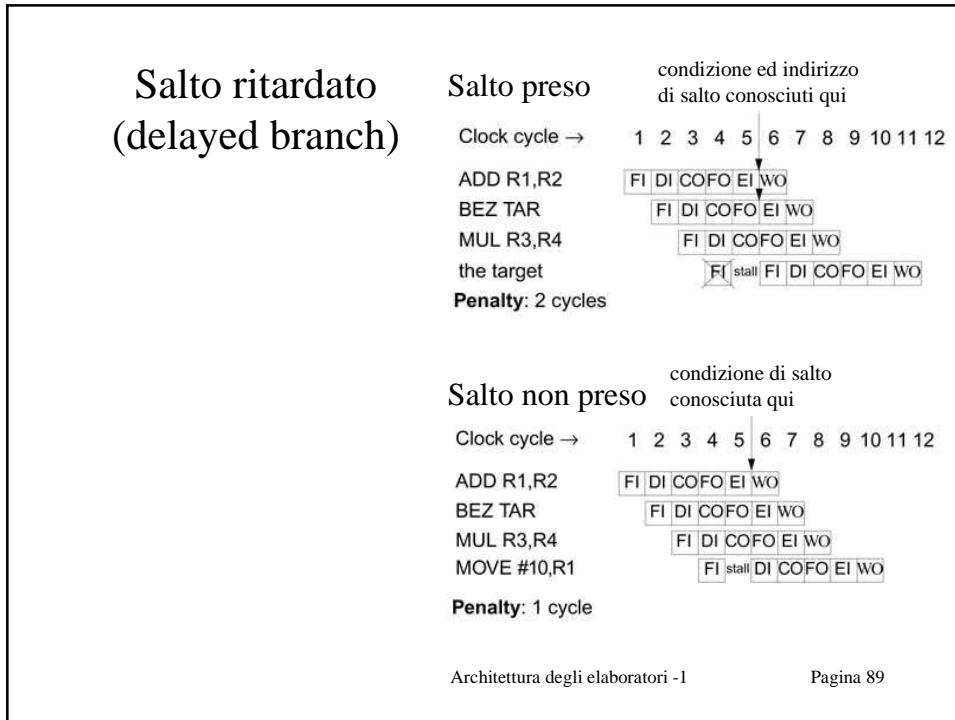
Salto ritardato (delayed branch)

codice scritto dal programmatore



codice ottimizzato dal compilatore

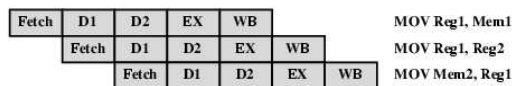




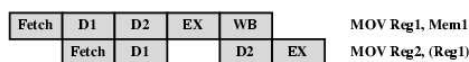
Intel 80486 Pipelining

- Fetch
 - Istruzioni prelevate dalla cache o memoria esterna
 - Poste in uno dei due buffer di prefetch da 16 byte
 - Carica dati nuovi appena quelli vecchi sono “consumati”
 - Poiché le istruzioni sono a lunghezza variabile (1-11 byte), in media carica 5 istruzioni per ogni caricamento da 16 byte
 - Indipendente dagli altri stadi per mantenere i buffer pieni
- Decodifica 1 (D1)
 - Decodifica codice operativo e modi di indirizzamento
 - Le informazioni di sopra sono codificate (al più) nei primi 3 byte di ogni istruzione
 - Se necessario, indica allo stadio D2 di trattare i byte restanti (dati immediati e spazziamento)
- Decodifica 2 (D2)
 - Espande i codici operativi in segnali di controllo per l’ALU
 - Provvede a controllare i calcoli per i modi di indirizzamento più complessi
- Esecuzione (EX)
 - Operazioni ALU, accesso alla cache (memoria), aggiornamento registri
- Retroscrittura (WB)
 - Se richiesto, aggiorna i registri e i flag di stato modificati in EX
 - Se l’istruzione corrente aggiorna la memoria, pone il valore calcolato in cache e nei buffer di scrittura del bus

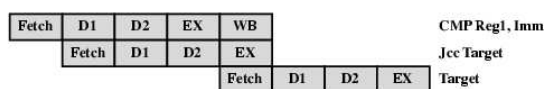
80486 Instruction Pipeline: esempi



(a) No Data Load Delay in the Pipeline



(b) Pointer Load Delay



(c) Branch Instruction Timing

Esercizio: Dipendenze

Dipendenza dai dati : per la quale l'istruzione j dipende dall'istruzione i se i produce, direttamente o transitivamente (ossia tramite una o più istruzioni intermedie) un risultato richiesto da j .

Dipendenza dal controllo : la quale determina l'ordinamento di una istruzione rispetto ad un salto condizionale, così che essa esegua solo quando dovuto rispetto all'esecuzione del salto.

Dipendenza dai nomi : la quale ha luogo allorché due istruzioni, tra le quali non vi sia flusso di dati, usano lo stesso registro o la stessa locazione di memoria.

Si illustrino tutte le dipendenze presenti nel seguente frammento di programma in linguaggio C, assumendo che il programma non faccia riferimento ad altri dati, che tutti i valori siano definiti prima dell'uso, e che soltanto b e c siano usati successivamente alle istruzioni date:

```

if (a>c) {
    d = d + 5;
    a = b + d + e; }
else {
    e = e + 2;
    f = f + 2;
    c = c + f; }
b = a + f;

```

Esercizio: valutazione delle prestazioni

- Si considerino le seguenti statistiche:
 - 15% delle istruzioni sono di salto condizionale
 - 1% delle istruzioni sono di salto incondizionale
 - Il 60% delle istruzioni di salto condizionale hanno la condizione soddisfatta (prese)
- ...ed una pipeline a 4 stadi (IF, ID, EI, WO) per cui:
 - i salti incondizionati sono risolti (identificazione salto e calcolo indirizzo target) alla fine del secondo stadio (ID)
 - i salti condizionati sono risolti (identificazione salto, calcolo indirizzo target e calcolo condizione) alla fine del terzo stadio (EI)
 - il primo stadio (IF) è indipendente dagli altri
 - ogni stadio impiega 1 ciclo di clock
- inoltre si assuma che non ci siano altre istruzioni che possano mandare in stallo la pipeline e che si predica di non saltare in caso di salto condizionale

Domanda:

calcolare quanto più veloce, a regime, sarebbe la pipeline senza gli stalli introdotti dai salti

Aiuto: fattore di velocizzazione di una pipeline a k stadi, a regime, in funzione del numero di stalli:

$$S_k = \frac{1}{1 + \text{frazione_cicli_stallo}} k$$