

Nome e Cognome:

Matricola:

Corso di Architettura degli Elaboratori

Anno Accademico 2010/2011

Esame: esempio di seconda parte

Istruzioni

- Scrivere *Nome*, *Cognome* e *Matricola* su **ogni** foglio (solo pagine **dispari**).
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicuratevi che non manchi alcun foglio al momento della consegna.

Domande a risposta multipla

es1

Quante volte la CPU deve accedere alla memoria quando **preleva ed esegue** un'istruzione con modo di indirizzamento indiretto se l'istruzione ha un solo operando ?

- a) 2
- b) 3
- c) 1
- d) 4
- f) nessuna delle risposte precedenti è corretta;

es2

Si consideri la rappresentazione di numeri a virgola mobile che utilizza 3 bit per il campo esponente e 4 bit per la mantissa. Il numero -7,3 viene rappresentato dalla sequenza di bit:

- a) 11011101
- b) 10101101
- c) 11101101
- d) 11101010
- e) nessuna delle risposte precedenti è corretta;

es3

Si consideri una pipeline a 4 stadi: fetch (IF), decodifica (ID), elaborazione (EI), e scrittura dei risultati (WO), per cui:

- i salti incondizionati sono risolti (identificazione salto e calcolo indirizzo target) alla fine del secondo stadio (ID);
- i salti condizionati sono risolti (identificazione salto, calcolo indirizzo target e calcolo condizione) alla fine del terzo stadio (EI);
- il primo stadio (IF) indipendente dagli altri;

inoltre si assuma che non ci siano altre istruzioni che possano mandare in stallo la pipeline e che non sia implementato alcun meccanismo di trattamento dei salti.

Sapendo che:

- il 20% delle istruzioni sono di salto condizionale
- il 3% delle istruzioni sono di salto incondizionale
- il 55% delle istruzioni di salto condizionale hanno la condizione soddisfatta (prese)

Il fattore di velocizzazione della pipeline è di:

- a) 3,23
- b) 3,25
- c) 2,35
- d) 3,96
- e) nessuna delle risposte precedenti è corretta;

Domande a risposta libera

es4

Si spieghi in dettaglio la codifica in complemento a 2 dei numeri interi. Si discutano poi i problemi legati alla realizzazione della moltiplicazione di due interi rappresentati in complemento a 2, esemplificando tali problemi su un caso concreto di moltiplicazione.

es5

Si descrivano i modi di indirizzamento visti a lezione, specificando per ogni modo il suo utilizzo, i pregi e i difetti.

es6

Nel contesto di una pipeline descrivere la problematica dello sbilanciamento delle fasi. Si descrivano inoltre le possibili soluzioni da adottare per tale problema.

es7

Elencare le caratteristiche di esecuzione delle istruzioni che sono state considerate per motivare l'introduzione delle architetture RISC. Spiegare di conseguenza le scelte architettoniche alla base delle architetture RISC.

Esercizio

es8

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale

```
LB    $8, 150($0)
ADD   $2, $0, $0
LB    $4, 10($2)
ADDI  $4, $4, 3
ADDI  $2, $2, 4
SB    $4, 208($2)
ADD   $5, $4, $2
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock:

- a) si individuino e discutano le dipendenze dovute ai dati;
- b) mostrare come evolve la pipeline durante l'esecuzione del codice

