

Esercizi Cache

organizzazione e tecniche di allocazione


Es4a: Siano date le seguenti 2 sequenze di indirizzi di memoria (parole) emessi dalla CPU

	Sequenza 1	Sequenza 2
1	00000000000000000000000000000001	0000000000000000000000000000100
2	000000000000000000000000000010000110	0000000000000000000000000000011010110
3	000000000000000000000000000011010100	0000000000000000000000000000010101111
4	0000000000000000000000000000000001	0000000000000000000000000000011010110
5	0000000000000000000000000000010000111	000000000000000000000000000000000100
6	000000000000000000000000000011010101	000000000000000000000000000001010100
7	0000000000000000000000000000010100010	00000000000000000000000000000000001000001
8	0000000000000000000000000000010100001	0000000000000000000000000000010101110
9	00000000000000000000000000000000010	000000000000000000000000000001000000
10	00000000000000000000000000000000011100	000000000000000000000000000001101001
11	00000000000000000000000000000101001	000000000000000000000000000001010101
12	0000000000000000000000000000011011101	00000000000000000000000000000000011010111

ed una cache ad associazione diretta di 16 blocchi di una parola.
Dire come si decompongono gli indirizzi e determinare le corrispondenti sequenze di hit e miss

Soluz.:

- trattandosi di una cache con associazione diretta, l'indirizzo di memoria centrale deve essere suddiviso nei campi etichetta, linea, e parola, ed in particolare:
 - poiché un blocco è costituito da una sola parola, il campo parola è a dimensionalità nulla (0 bit)
 - il campo linea sarà costituito da 4 bit in quanto occorre indirizzare 16 (= 2⁴) linee (blocchi) di cache
 - il campo tag sarà quindi costituito dai rimanenti 28 bit più significativi
- di seguito si mostra, per ogni sequenza di indirizzi, la corrispondente sequenza di hit e miss



	Sequenza 1	h/m	cache
	[tag linea]		
1	0001001	miss	blocco 1 _{dec} in linea 0001
2	001110	miss	blocco 134 _{dec} in linea 0110
3	00011010100	miss	blocco 212 _{dec} in linea 0100
4	001	hit	
5	00010000111	miss	blocco 135 _{dec} in linea 0111
6	00011010101	miss	blocco 213 _{dec} in linea 0101
7	00010100010	miss	blocco 162 _{dec} in linea 0010
8	00010100001	miss	blocco 161 _{dec} in linea 0001 [1 _{dec} out]
9	00010010	miss	blocco 2 _{dec} in linea 0010 [162 _{dec} out]
10	00101100	miss	blocco 44 _{dec} in linea 1100
11	000101001	miss	blocco 41 _{dec} in linea 1001
12	00011011101	miss	blocco 221 _{dec} in linea 1101

	Sequenza 2	h/m	cache
	[tag linea]		
1	00100	miss	blocco 4 _{dec} in linea 0100
2	00011010110	miss	blocco 214 _{dec} in linea 0110
3	00010101111	miss	blocco 175 _{dec} in linea 1111
4	00011010110	hit	
5	00100	hit	
6	0001010100	miss	blocco 84 _{dec} in linea 0100 [4 _{dec} out]
7	000100001	miss	blocco 65 _{dec} in linea 0001
8	00010101110	miss	blocco 174 _{dec} in linea 1110
9	000100000	miss	blocco 64 _{dec} in linea 0000
10	0001101001	miss	blocco 105 _{dec} in linea 1001
11	0001010101	miss	blocco 85 _{dec} in linea 0101
12	00011010111	miss	blocco 215 _{dec} in linea 0111

Esercizi Cache



organizzazione e tecniche di allocazione

Es4b: Ripetere l'esercizio precedente nel caso di una cache ad associazione diretta di 8 blocchi, ognuno costituito da 2 parole.

Es4c: Con riferimento alle sequenze mostrate nell'es4a, supponendo di avere una cache ad associazione diretta in grado di memorizzare 8 parole, quale fra le seguenti dimensioni di blocco

- a) 1 parola
- b) 2 parole
- c) 4 parole

è la più conveniente (minimizza il numero di miss) ?

Es4d: Ripetere l'esercizio 4a nel caso di una cache ad associazione a 2 vie in grado di memorizzare 16 blocchi, ognuno costituito da 1 parola.



Soluz. Es4b:

- trattandosi di una cache con associazione diretta, l'indirizzo di memoria centrale deve essere suddiviso nei campi etichetta, linea, e parola, ed in particolare:

- poiché un blocco è costituito da 2 parole, il campo parola è di 1 bit
- il campo linea sarà costituito da 3 bit in quanto occorre indirizzare 8 ($= 2^3$) linee (blocchi) di cache
- il campo tag sarà quindi costituito dai rimanenti 28 bit più significativi

- di seguito si mostra, per ogni sequenza di indirizzi, la corrispondente sequenza di hit e miss

l = linea
p = parola

	Sequenza 1	h/m	cache
	[tag l p]		
1	00000000000000000000000000000001	miss	blocco $1_{dec}/2 = 0_{dec}$ in linea 000
2	000000000000000000000000000010000110	miss	blocco $134_{dec}/2 = 67_{dec}$ in linea 011
3	000000000000000000000000000011010100	miss	blocco $212_{dec}/2 = 106_{dec}$ in linea 010
4	00000000000000000000000000000001	hit	
5	000000000000000000000000000010000111	hit	
6	000000000000000000000000000011010101	hit	
7	000000000000000000000000000010100010	miss	blocco $162_{dec}/2 = 81_{dec}$ in linea 001
8	000000000000000000000000000010100001	miss	blocco $161_{dec}/2 = 80_{dec}$ in linea 000 a
9	000000000000000000000000000000010010	miss	blocco $2_{dec}/2 = 1_{dec}$ in linea 001 b
10	000000000000000000000000000000101100	miss	blocco $44_{dec}/2 = 22_{dec}$ in linea 110
11	000000000000000000000000000000101001	miss	blocco $41_{dec}/2 = 20_{dec}$ in linea 100
12	000000000000000000000000000011011101	miss	blocco $221_{dec}/2 = 110_{dec}$ in linea 110 c

a = [0_{dec} out]
b = [81_{dec} out]
c = [22_{dec} out]

l = linea
p = parola

	Sequenza 2	h/m	cache
	[tag l p]		
1	00000000000000000000000000000100	miss	blocco $4_{dec}/2 = 2_{dec}$ in linea 010
2	000000000000000000000000000011010110	miss	blocco $214_{dec}/2 = 107_{dec}$ in linea 011
3	000000000000000000000000000010101111	miss	blocco $175_{dec}/2 = 87_{dec}$ in linea 111
4	000000000000000000000000000011010110	hit	
5	00000000000000000000000000000100	hit	
6	00000000000000000000000000001010100	miss	blocco $84_{dec}/2 = 42_{dec}$ in linea 010 a
7	00000000000000000000000000001000001	miss	blocco $65_{dec}/2 = 32_{dec}$ in linea 000
8	000000000000000000000000000010101110	hit	
9	00000000000000000000000000000000100000	hit	
10	000000000000000000000000000011010001	miss	blocco $105_{dec}/2 = 52_{dec}$ in linea 100
11	00000000000000000000000000001010101	hit	
12	000000000000000000000000000011010111	hit	

a = [2_{dec} out]