

esercizio pipeline

Sia data la seguente sequenza di istruzioni assembler:

```

LB    $3, 30($0)
ADD   $2, $0, $0
LB    $1, 845($2)
ADDI  $1, $1, 4
ADDI  $2, $2, 3
SB    $1, 82($2)
SUB   $4, $3, $2
    
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. Si mostri il diagramma degli stadi della pipeline per l'esecuzione del codice.

Soluzione

istruzione	C I C L I C L O C K													commenti
	1	2	3	4	5	6	7	8	9	10	11	12	13	
LB \$3, 30(\$0)	IF	ID	EX	ME	WB									
ADD \$2, \$0, \$0		IF	ID	EX	ME	WB								fw out-ALU -> in-ALU
LB \$1, 845(\$2)			IF	ID	EX	ME	WB							fw MEM/WB.LMD -> in-ALU
ADDI \$1, \$1, 4				IF	ID	ID	EX	ME	WB					stallo
ADDI \$2, \$2, 3					IF	IF	ID	EX	ME	WB				fw MEM/WB.ALUOut -> in-ALU
SB \$1, 82(\$2)							IF	ID	ID	EX	ME	WB		stallo
SUB \$4, \$3, \$2								IF	IF	ID	EX	ME	WB	

esercizio pipeline

Sia data la seguente sequenza di istruzioni assembler:

```

LB   $3, 450($0)
ADD  $2, $0, $0
LB   $1, 558($2)
ADDI $2, $2, 5
SUB  $4, $3, $2
ADDI $1, $1, 7
SB   $1, 58($2)
    
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, senza possibilità di data-forwarding, ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. Si mostri il diagramma degli stadi della pipeline per l'esecuzione del codice.

Soluzione

istruzione	C I C L I C L O C K																
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
LB \$3, 450(\$0)	IF	ID	EX	ME	WB												
ADD \$2, \$0, \$0		IF	ID	EX	ME	WB											
LB \$1, 558(\$2)			IF	ID	ID	ID	EX	ME	WB								
ADDI \$2, \$2, 5				IF	IF	IF	ID	EX	ME	WB							
SUB \$4, \$3, \$2							IF	ID	ID	ID	EX	ME	WB				
ADDI \$1, \$1, 7								IF	IF	IF	ID	EX	ME	WB			
SB \$1, 58(\$2)											IF	ID	ID	ID	EX	ME	WB

esercizio pipeline

Sia data la seguente sequenza di istruzioni assembler:

```

LB   $3, 450($0)
ADD  $2, $0, $0
LB   $1, 558($2)
ADDI $2, $2, 5
SUB  $4, $3, $2
ADDI $1, $1, 7
SB   $1, 58($2)

```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. Si mostri il diagramma degli stadi della pipeline per l'esecuzione del codice.

Soluzione

istruzione	C I C L I C L O C K													commenti
	1	2	3	4	5	6	7	8	9	10	11	12	13	
LB \$3, 450(\$0)	IF	ID	EX	ME	WB									
ADD \$2, \$0, \$0		IF	ID	EX	ME	WB								fw out-ALU -> in-ALU
LB \$1, 558(\$2)			IF	ID	EX	ME	WB							fw MEM/WB.ALUOut -> in-ALU
ADDI \$2, \$2, 5				IF	ID	EX	ME	WB						fw out-ALU -> in-ALU
SUB \$4, \$3, \$2					IF	ID	EX	ME	WB					
ADDI \$1, \$1, 7						IF	ID	EX	ME	WB				
SB \$1, 58(\$2)							IF	ID	ID	ID	EX	ME	WB	stallo