

Es. 6

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU:

#	indirizzo (binario)	l/s	byte scritto (esadecimale)
1	000100001000	l	
2	000100001100	l	
3	000100001111	s	1F
4	000100011101	s	AD
5	000100101000	s	09
6	000100011000	l	
7	000100000011	l	
8	000100100101	l	

- a) Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 32B, dimensione di blocco 4B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo FIFO, politica di scrittura write-through e gestione dei miss in scrittura con la politica write allocate). Si assuma che la memoria abbia il contenuto esadecimale mostrato di seguito:

ind	byte	ind	byte	ind	byte	ind	byte
100	08	101	00	102	07	103	02
104	00	105	00	106	00	107	00
108	AE	109	13	10A	A1	10B	23
10C	A1	10D	42	10E	90	10F	75
110	B9	111	16	112	00	113	00
114	0A	115	07	116	03	117	71
118	3E	119	13	11A	71	11B	23
11C	A1	11D	82	11E	90	11F	15
120	F9	121	86	122	A0	123	00
124	E9	125	16	126	05	127	00
128	00	129	00	12A	00	12B	00

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

Soluzione a)

cache 32B, blocco di 4B, 2-way, write-through, FIFO
campo parola 2 bit, campo set 2 bit, tag 8 bit

Sequenza ind. h/m Cache

[tag|set|word]

000100001000	miss	[AE 13 A1 23]	in set 10, linea 0 con tag: 00010000
000100001100	miss	[A1 42 90 75]	in set 11, linea 0 con tag: 00010000
000100001111	hit	[A1 42 90 1F]	aggiorna Mem
000100011101	miss	[A1 82 90 15]	in set 11, linea 1 con tag: 00010001
		[A1 AD 90 15]	aggiorna Mem
000100101000	miss	[00 00 00 00]	in set 10, linea 1 con tag: 00010010
		[09 00 00 00]	aggiorna Mem
000100011000	miss	[3E 13 71 23]	in set 10, linea 0 rimpiazzata con tag: 00010001
000100000011	miss	[08 00 07 02]	in set 00, linea 0 con tag: 00010001
000100100101	Miss	[E9 16 05 00]	in set 01, linea 0 con tag: 00010010

b) Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 16B, dimensione di blocco 4B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo FIFO, politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Soluzione b)

cache 16B, blocco di 4B, 2-way, write-back, FIFO
campo parola 2 bit, campo set 1 bit, tag 9 bit

Sequenza ind. h/m cache

[tag|set|word]

000100001000	miss	[AE 13 A1 23]	in set 0, linea 0 con tag: 000100001
000100001100	miss	[A1 42 90 75]	in set 1, linea 0 con tag: 000100001
000100001111	hit	[A1 42 90 1F]	linea sporca
000100011101	miss	[A1 82 90 15]	in set 1, linea 1 con tag: 000100011, wr. all.
		[A1 AD 90 15]	linea sporca
000100101000	miss	[00 00 00 00]	in set 0, linea 1 con tag: 000100101, wr. all.
		[09 00 00 00]	linea sporca
000100011000	miss	[3E 13 71 23]	in set 0, linea 0 rimpiaz. con tag: 000100011
000100000011	miss	[08 00 07 02]	in set 0, linea 1 rimpiaz. con tag: 000100000, M
000100100101	miss	[E9 16 05 00]	in set 1, linea 0 rimpiaz. con tag: 000100100, M

M: aggiorna memoria (scrittura intero blocco)

c) Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 16B, dimensione di blocco 2B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo FIFO, politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Soluzione c)

cache 16B, blocco di 2B, 2-way, write-back, FIFO
campo parola 1 bit, campo set 2 bit, tag 9 bit

Sequenza ind. h/m cache

[tag|set|word]

000100001000	miss	[AE 13]	in set 00, linea 0 con tag: 000100001
000100001100	miss	[A1 42]	in set 10, linea 0 con tag: 000100001
000100001111	miss	[90 75]	in set 11, linea 0 con tag: 000100001, wr.all. [90 1F] in set 11, linea sporca
000100011101	miss	[A1 82]	in set 10, linea 1 con tag: 000100011, wr.all. [A1 AD] in set 10, linea sporca
000100101000	miss	[00 00]	in set 00, linea 1 con tag: 000100101, wr.all. [09 00] in set 00, linea sporca
000100011000	miss	[3E 13]	in set 00, linea 0 con tag: 000100011, [AE 13]out, M
000100000011	miss	[07 02]	in set 01, linea 0 con tag: 000100000
000100100101	miss	[E9 16]	in set 10, linea 0 con tag: 000100101, [A1 42]out, M

M: aggiorna memoria (scrittura intero blocco)

d) Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 32B, dimensione di blocco 8B, inizialmente vuota, e ad associazione diretta (politica di scrittura write-back e gestione dei miss in scrittura con la politica write allocate).

Soluzione d)

cache 32B, blocco di 8B, diretta, write-back
campo parola 3 bit, campo set 2 bit, tag 7 bit

Sequenza ind. h/m cache

[tag|**linea**|word]

0001000 01 000	miss	[AE 13 A1 23 A1 42 90 75] in linea 01 tag: 0001000
0001000 01 100	hit	
0001000 01 111	hit	[AE 13 A1 23 A1 42 90 1F] linea sporca
0001000 11 101	miss	[3E 13 71 23 A1 82 90 15] in linea 11 , wr.all. tag: 0001000 [3E 13 71 23 A1 AD 90 15] linea sporca
0001001 01 000	miss	[00 00 00 00 00 00 00 00] in linea 01 , wr.all., M,tag: 0001001 [09 00 00 00 00 00 00 00] linea sporca
0001000 11 000	hit	
0001000 00 011	miss	[08 00 07 02 00 00 00 00] in linea 00 , tag: 0001000
0001001 00 101	miss	[E9 16 05 00 00 00 00 00] in linea 00 , out, tag: 0001001

M: aggiorna memoria (scrittura intero blocco contenuto in linea 01)

M[108] = AE, M[109] = 13, M[10A] = A1, M[10B] = 23,

M[10C] = A1, M[10D] = 42, M[10E] = 90, M[10F] = 1F

out: viene rimosso il blocco [08 00 07 02 00 00 00 00] dalla linea 00