

## Esercizio

es8

Sia data la seguente sequenza di indirizzi in lettura (l) o scrittura (s) emessi dalla CPU e che la memoria abbia il contenuto esadecimale mostrato di seguito:

#	indirizzo (binario)	l/s	byte scritto (HEX)	ind	byte	ind	byte	ind	byte	ind	byte
1	000100000100	l		100	08	101	D0	102	07	103	02
2	000100001100	s	3F	104	00	105	00	106	00	107	00
3	000100001111	l		108	AE	109	13	10A	A1	10B	23
4	000100001101	s	A9	10C	A1	10D	42	10E	90	10F	75
5	000100010100	l		110	BB	111	16	112	00	113	00
6	000100011111	s	5E	114	0A	115	87	116	03	117	71
7	000100000111	s	66	118	3E	119	13	11A	A1	11B	23
8	000100100110	l		11C	A1	11D	82	11E	90	11F	15
				120	F9	121	86	122	A0	123	00
				124	E9	125	16	126	05	127	00

Si assuma che la dimensione di parola coincida con un byte, e la presenza di una cache di ampiezza 32B, dimensione di blocco 4B, inizialmente vuota, e ad associazione a 2 vie (politica di rimpiazzo FIFO, politica di scrittura write-through e gestione dei miss in scrittura con la politica write allocate).

Si mostri come sia il contenuto della cache che il contenuto della memoria cambia.

**Soluzione** (da compilare)

- Indicare di seguito in quali campi (e la loro dimensione) gli indirizzi emessi dalla CPU sono suddivisi:
- Indicare di seguito in quante linee/set la cache è suddivisa:

Indicare l'evoluzione della cache e della modifica della memoria nello schema sottostante:

Indirizzo	hit/ miss	Cache <i>(per ogni linea di cache indicare il contenuto del campo tag)</i>	Modifica memoria <i>M[ind.] = contenuto</i>

*continuare nella pagina seguente*