

# Architettura degli Elaboratori 1

## implementazione di reti a ROM

Alessandro Memo

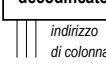
Gennaio '03

## memoria ROM

può essere vista come una memoria



la suddivisione in righe e colonne è dettata da esigenze tecnologiche e logistiche



## memoria ROM

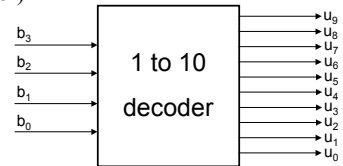
può essere vista come un circuito combinatorio



	indirizzi				dati				
( 0 )	00000000	01010101	( 85 )						
( 1 )	00000001	10101010	(170)						
( 2 )	00000010	00001111	( 15 )						
...	.....	.....	...						
(255)	11111111	11110000	(240)						

## Implementazione di reti combinatorie

Realizzare una rete combinatoria che converta da una codifica binaria a 4 bit delle cifre decimali ad una codifica decimale (1 to 10 Decoder)



## Implementazione di reti combinatorie

1. comporre la tabella della verità della rete

N	ingressi				uscite										
	b <sub>3</sub>	b <sub>2</sub>	b <sub>1</sub>	b <sub>0</sub>	u <sub>0</sub>	u <sub>1</sub>	u <sub>2</sub>	u <sub>3</sub>	u <sub>4</sub>	u <sub>5</sub>	u <sub>6</sub>	u <sub>7</sub>	u <sub>8</sub>	u <sub>9</sub>	
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1	0

## Implementazione di reti combinatorie

2. tradurre la tabella in decimale

indirizzi			
b <sub>3</sub>	b <sub>2</sub>	b <sub>1</sub>	b <sub>0</sub>
i <sub>3</sub>	i <sub>2</sub>	i <sub>1</sub>	i <sub>0</sub>

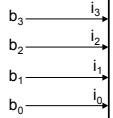
contenuti									
u <sub>0</sub>	u <sub>1</sub>	u <sub>2</sub>	u <sub>3</sub>	u <sub>4</sub>	u <sub>5</sub>	u <sub>6</sub>	u <sub>7</sub>	u <sub>8</sub>	u <sub>9</sub>
c <sub>9</sub>	c <sub>8</sub>	c <sub>7</sub>	c <sub>6</sub>	c <sub>5</sub>	c <sub>4</sub>	c <sub>3</sub>	c <sub>2</sub>	c <sub>1</sub>	c <sub>0</sub>

ingressi	contenuti
0	512
1	256
2	128
3	64
4	32
5	16
6	8
7	4
8	2
9	1

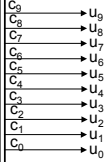
## Implementazione di reti combinatorie

### 3. proporre lo schema e la programmazione della ROM

memoria ROM  
contenente 16 celle  
(di cui 6 inutilizzate)  
da 10 bit

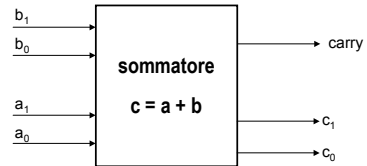


indirizzi	contenuti
0	512
1	256
2	128
3	64
4	32
5	16
6	8
7	4
8	2
9	1



## Implementazione di reti combinatorie

Realizzare un sommatore a 2 bit, con segnalazione di bit di riporto



## Implementazione di reti combinatorie

ingressi				uscite		
$b_1$	$b_0$	$a_1$	$a_0$	$u_0$	$u_1$	$u_2$
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	1	0	0
0	0	1	1	1	1	0
0	1	0	0	0	1	0
0	1	0	1	1	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	1

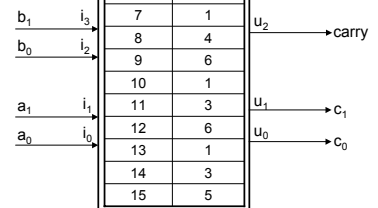
ingressi				uscite		
$b_1$	$b_0$	$a_1$	$a_0$	$u_0$	$u_1$	$u_2$
1	0	0	0	1	0	0
1	0	0	1	1	1	0
1	0	1	0	0	0	1
1	0	1	1	0	1	1
1	1	0	0	1	1	0
1	1	0	1	0	0	1
1	1	1	0	0	1	1
1	1	1	1	1	0	1

memoria ROM  
contenente 16  
celle da 3 bit

indirizzi			
$b_1$	$b_0$	$a_1$	$a_0$
$i_3$	$i_2$	$i_1$	$i_0$

contenuti		
$u_2$	$u_1$	$u_0$
carry	$c_1$	$c_0$

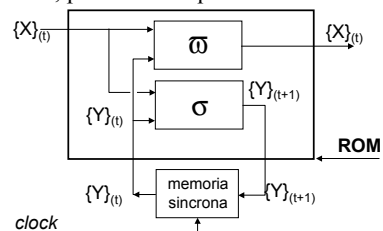


## esercizi

- implementare con una ROM un sottrattore di informazioni a 2 bit con ingresso ed uscita di borrow (bit di prestito)
- implementare con una ROM un comparatore di due informazioni (A e B) a 2 bit con segnalazione di  $A > B$ ,  $A = B$  e  $A < B$

## Implementazione di reti sequenziali

Una rete sequenziale può essere realizzata con una ROM, partendo da questo schema:



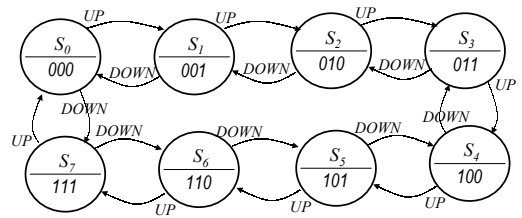
## esempio rete sequenziale a ROM

progettare un contatore up/down ad 8 stadi, con uscita binaria

un contatore up/down è un dispositivo che incrementa o decrementa il valore del suo stato interno in base al valore di un ingresso di controllo, e produce in uscita la codifica richiesta dello stato interno

## esempio rete sequenziale a ROM

1. tracciare il diagramma degli stati della rete



## esempio rete sequenziale a ROM

2. codificare stati, ingressi ed uscite

ingressi	
UP	0
DOWN	1

le uscite sono già codificate

stati	stati		
	S <sub>A</sub>	S <sub>B</sub>	S <sub>C</sub>
S <sub>0</sub>	0	0	0
S <sub>1</sub>	0	0	1
S <sub>2</sub>	0	1	0
S <sub>3</sub>	0	1	1
S <sub>4</sub>	1	0	0
S <sub>5</sub>	1	0	1
S <sub>6</sub>	1	1	0
S <sub>7</sub>	1	1	1

## esempio rete sequenziale a ROM

3. comporre la tabella della verità della rete

ingressi			uscite					ingressi			uscite								
IN	S <sub>C</sub>	S <sub>B</sub>	S <sub>A</sub>	u <sub>2</sub>	u <sub>1</sub>	u <sub>0</sub>	S <sub>C</sub> <sup>1</sup>	S <sub>B</sub> <sup>1</sup>	S <sub>A</sub> <sup>1</sup>	IN	S <sub>C</sub>	S <sub>B</sub>	S <sub>A</sub>	u <sub>2</sub>	u <sub>1</sub>	u <sub>0</sub>	S <sub>C</sub> <sup>1</sup>	S <sub>B</sub> <sup>1</sup>	S <sub>A</sub> <sup>1</sup>
0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	1
0	0	0	1	0	0	1	0	1	0	1	0	0	1	0	0	1	0	0	0
0	0	1	0	0	1	0	0	1	1	1	0	1	0	0	1	0	0	0	1
0	0	1	1	0	1	1	1	1	0	0	1	1	0	1	1	0	1	0	1
0	1	0	0	1	0	0	1	0	1	1	1	0	0	1	0	0	0	1	1
0	1	0	1	1	0	1	1	1	0	1	1	0	1	1	0	1	1	0	0
0	1	1	0	1	1	0	1	1	1	1	1	0	1	1	0	1	0	1	1
0	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	0

## esempio rete sequenziale a ROM

4. tradurre la tabella in decimale

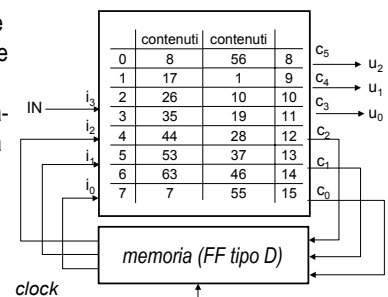
indirizzi			
IN	S <sub>C</sub>	S <sub>B</sub>	S <sub>A</sub>
i <sub>3</sub>	i <sub>2</sub>	i <sub>1</sub>	i <sub>0</sub>

contenuti					
u <sub>2</sub>	u <sub>1</sub>	u <sub>0</sub>	S <sub>C</sub>	S <sub>B</sub>	S <sub>A</sub>
c <sub>5</sub>	c <sub>4</sub>	c <sub>3</sub>	c <sub>2</sub>	c <sub>1</sub>	c <sub>0</sub>

indirizzi	contenuti
0	8
1	17
2	26
3	35
4	44
5	53
6	63
7	7
8	56
9	1
10	10
11	19
12	28
13	37
14	46
15	55

## esempio rete sequenziale a ROM

5. proporre lo schema e la programmazione della ROM



## esercizi

- implementare una rete sequenziale che attivi ciclicamente una linea binaria alla volta tra le 4 a disposizione



- implementare una rete sequenziale che attivi le 4 linee binarie a disposizione in base a 2 sequenze prestabilite selezionabili tramite un opportuno segnale di controllo

