

# Compito del Corso di Architettura degli Elaboratori 1

Anno Accademico 2004/2005

Appello del 5 Settembre 2005

## Istruzioni

- Scrivere *Nome, Cognome e Matricola* su **ogni** foglio.
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicuratevi che non manchi alcun foglio al momento della consegna.

## Esercizi a risposta multipla

### es1

Sia data una memoria segmentata con paginazione in grado di indirizzare 256 segmenti, ognuno comprendente fino a 8 pagine di 2KB. Di quanti bit è costituito un indirizzo logico ?:

- a) 22;
- b) 24;
- c) 14;
- d) nessuna delle risposte precedenti è corretta;

### es2

Una cache set-associativa consiste di 512 linee, divise in insiemi di 8 linee. La memoria centrale contiene 16K blocchi di 64 parole ciascuno. Il formato degli indirizzi della memoria centrale è:

- a) Etichetta = 8 bit; Set = 6 bit; Parola = 6;
- b) Etichetta = 9 bit; Set = 5 bit; Parola = 7;
- c) Etichetta = 11 bit; Set = 3 bit; Parola = 6;
- d) Etichetta = 8 bit; Set = 4 bit; Parola = 7;
- e) nessuna delle risposte precedenti è corretta;

### es3

Dove si utilizzano componenti a tre stati (3-state) ?

- a) nei flip-flop;
- b) nel multiplexer;
- c) in circuiti addizionatori;
- d) nei registri;
- e) in nessuno dei circuiti elencati precedentemente;

**es4**

Una memoria cache di 1MB, con associazione 2-way e politica "write through", inserita in un sistema con indirizzamento della memoria virtuale a livello di singoli byte:

- a) nel caso adottati un campo "tag" di 10 bit non permette il "caching" di memoria RAM di dimensione superiore a 64 MB;
- b) consente di mantenere simultaneamente in cache i byte di indirizzo 3, 15, 255, 4095, 65535, e 65536;
- c) non può essere usata per il "caching" del codice dal momento che questo può essere richiesto solo in modalità fetch;
- d) nessuna delle affermazioni precedenti è corretta;

## **Esercizi a risposta libera**

**es5**

Spiegare a cosa serve la microprogrammazione

**es6**

Spiegare in cosa consiste un pipeline e quali sono i vantaggi nell'utilizzarlo

**es7**

Dare e spiegare la formula che definisce l'onere di polling

**es8**

Fornire due caratteristiche in cui una gerarchia di memoria (cache) differisce dalla memoria virtuale

## Esercizi pratici

### es9

Si consideri un sistema monoprocesso multi-utente con memoria virtuale segmentata paginata (con aging di 8 bit, e altri bit di controllo, inclusi diritti di accesso, per un totale di altri 16 bit). Si assuma che:

1. ciascun processo possa possedere al massimo 8 segmenti ed accederne, ad ogni istante, non più di 1;
2. a ciascun segmento sia associato un descrittore di 8B;
3. il descrittore di segmento designi la base del segmento in memoria fisica, espressa su 32 bit, e l'ampiezza effettiva del segmento (limite), espressa in 24 bit, con i restanti 8 bit contenenti informazione di controllo;
4. un processo emetta indirizzi logici di 32 bit con la seguente struttura: bit 0-11 indirizzo in pagina logica, bit 12-23 indirizzo di pagina logica, bit 24-31 non utilizzati; tali indirizzi designano un indirizzo fisico entro il segmento attivo mediante paginazione.

Si determini l'ampiezza minima dell'area di memoria occorrente per ospitare tutte le strutture di controllo associate alla memoria virtuale assegnata a ciascun processo, assumendo l'uso di unità di informazione di ampiezza minima di 1B. Spiegare in dettaglio la risposta.



**es10**

Assumendo una memoria fisica di capienza 5 pagine, inizialmente vuota, una memoria virtuale di capienza 10 pagine (numerate da 0 a 9) e la seguente sequenza di riferimenti:

0(0),1(3),7(5),2(6),3(8),2(9),9(11),2(12),3(15),5(17),9(19),3(20),4(21)

dove la notazione X(Y) indica una richiesta dalla pagina X effettuata al tempo Y, mostrare l'evoluzione della lista mantenuta dall'algoritmo LRU (least recently used).