

Nome e Cognome:

Matricola:

# Compito del Corso di Architettura degli Elaboratori 1

Anno Accademico 2004/2005

Appello dell'8 Aprile 2005

## Istruzioni

- Scrivere *Nome*, *Cognome* e *Matricola* su **ogni** foglio.
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicuratevi che non manchi alcun foglio al momento della consegna.

## Esercizi a risposta multipla

### es1

Sia data una memoria segmentata con paginazione in grado di indirizzare 128 segmenti, ognuno comprendente fino a 256KB pagine di 16KB. Di quanti bit è costituito un indirizzo logico ?:

- a) 34;
- b) 24;
- c) 32;
- d) nessuna delle risposte precedenti è corretta;

### es2

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale

```
LB   R3, 450(R0)
ADD  R2, R0, R0
LB   R1, 558(R2)
ADDI R2, R2, 5
SUB  R4, R3, R2
ADDI R1, R1, 7
SB   R1, 58(R2)
```

Si consideri la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. L'esecuzione completa del codice avviene in un numero di cicli di clock pari a

- a) 13
- b) 15
- c) 9
- d) 17
- e) in nessuno dei circuiti elencati precedentemente;

**es3**

La terza condizione di Bernstein:

- a) è alla base della tecnica di ottimizzazione utilizzata dai compilatori nel caso di iterazioni annidate;
- b) diviene necessaria solo quando non si facciano ipotesi sulla durata delle operazioni e sul loro istante di inizio;
- c) è necessaria per la realizzazione della tecnica della fusione di vettori in strutture;
- d) nessuna delle affermazioni precedenti è corretta;

**es4**

Una microarchitettura di tipo microprogrammato:

- a) si pone come uno degli scopi principali la realizzazione di un insieme di istruzioni molto sofisticate anche partendo da un data path relativamente semplice;
- b) si pone come uno degli scopi principali la massimizzazione del numero di istruzioni eseguite a parità di clock, per questo adotta normalmente frequenze di clock inferiori rispetto a microarchitetture RISC;
- c) si pone come uno degli scopi principali la minimizzazione del numero di accessi in memoria RAM durante l'esecuzione dei programmi; per questo adotta normalmente un insieme di istruzioni di tipo Load/Store e contiene un numero relativamente elevato di registri di uso generale;
- d) si pone come uno degli scopi principali la massimizzazione della frequenza di clock, per questo adotta normalmente tecniche di caching delle microistruzioni per velocizzare l'accesso alla memoria del dispositivo LLC che la realizza;
- e) nessuna delle affermazioni precedenti è corretta;

## **Esercizi a risposta libera**

**es5**

Dare la formula che caratterizza l'onere di polling e spiegarla

**es6**

Ricordeando la realizzazione di una CPU tramite PC come automa di Mealy e PO come automa di Moore, e con funzionamento sequenziale PC-PO, si spieghi come si determina il periodo di clock

**es7**

Si descriva in dettaglio il ciclo Fetch/Execute completo visto a lezione, includendo la gestione delle interruzioni

**es8**

Spiegare come viene implementata la memoria virtuale segmentata

## Esercizi pratici

### es9

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale ed il registro R0 contiene il valore 0:

```

LB   R3, 0(R0)      ! load byte da mem[0+[R0]]
ADD  R2, R0, R0     ! R2 = R0 + R0
LB   R1, 8(R2)      ! load byte da mem[8+[R2]]
ADDI R2, R2, 5      ! R2 = R2 + 5
SUB  R4, R3, R2     ! R4 = R3 - R2
ADDI R1, R1, 7      ! R1 = R1 + 7
SB   R1, 8(R2)      ! store byte in mem[8+[R2]]
BGTZ R4, -6         ! PC = PC - 6 se [R4] > 0
                        ! cioe' salta alla istruzione LB   R1, 8(R2)

```

Si assuma la presenza di due cache, una dati ed una istruzioni. La cache dati, in particolare, è di ampiezza 4B, con dimensione di blocco 2B, inizialmente vuota, ed associazione diretta (con politica di rimpiazzo LRU e politica di scrittura write-through). Si assuma che la memoria abbia il contenuto esadecimale mostrato di seguito (si esprimano gli indirizzi su 12 bit):

Indirizzo	byte	byte	byte	byte
00	0F	00	07	02
04	00	00	00	00
08	AE	13	A1	23
0C	A1	42	90	75
10	B9	16	00	00
14	0A	07	03	71

Si mostri come sia il contenuto della cache dati che il contenuto della memoria cambia a causa della esecuzione del codice assembler.



Nome e Cognome:

Matricola:

*Pagina 9*



**es10**

Si descriva l'evoluzione temporale dei segnali per la seguente rete sequenziale sincrona, dato lo stato iniziale  $Q_a = Q_b = Q_c = 0$



