

Compito del Corso di Architettura degli Elaboratori 1

Anno Accademico 2004/2005

Appello del 18 Luglio 2005

Istruzioni

- Scrivere *Nome, Cognome e Matricola* su **ogni** foglio.
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicuratevi che non manchi alcun foglio al momento della consegna.

Esercizi a risposta multipla

es1

Siano dati un indirizzo logico in grado di indirizzare 2048 pagine di 8KB e la seguente tabella di rilocalizzazione **espressa in esadecimale**

indice pagina logica	base pagina fisica
000 000	0A0 000
000 001	0C8 000
000 002	102 000
000 003	50A 000
.....

Si consideri l'indirizzo logico con valore esadecimale 6444. Ad esso corrisponde l'indirizzo fisico:

- a) 102444_{hex} ;
- b) 000100000110010001000100 in binario;
- c) 5284932 in decimale;
- d) nessuna delle risposte precedenti è corretta;

es2

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale

```
LB   R3, 80(R0)
SUB  R2, R0, R0
LB   R3, 100(R2)
ADDI R1, R1, 30
ADDI R2, R1, 4
SUB  R4, R3, R1
LB   R1, 208(R2)
```

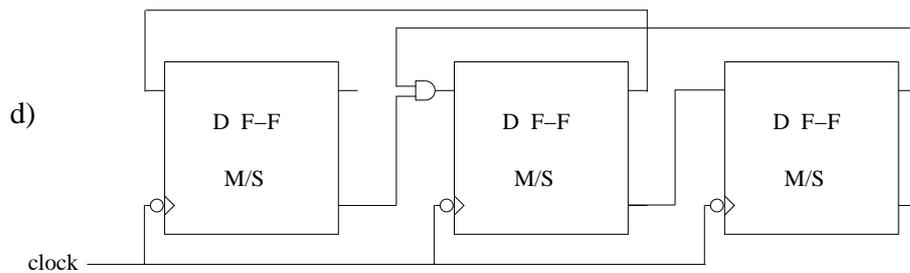
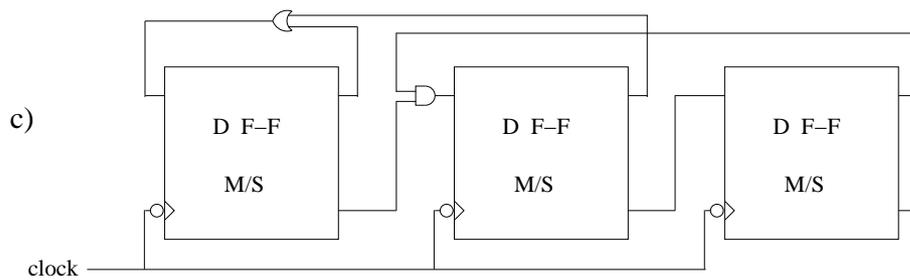
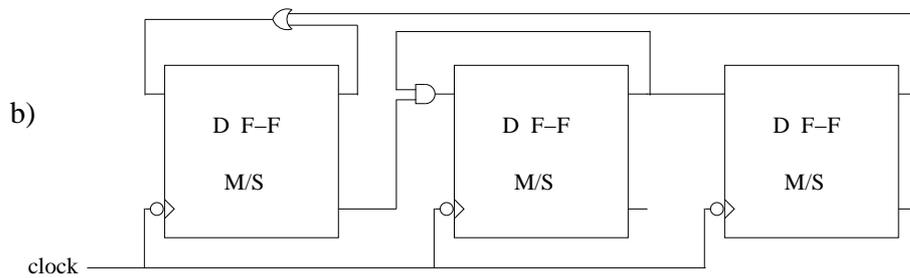
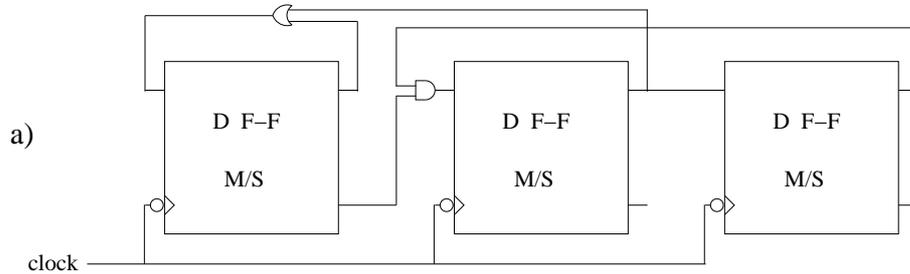
Si consideri la pipeline MIPS a 5 stadi vista a lezione, senza possibilità di data-forwarding, ma con possibilità di scrittura e successiva lettura dei registri in uno stesso ciclo di clock. L'esecuzione completa del codice avviene in un numero di cicli di clock pari a

- a) 11
- b) 12
- c) 13
- d) 14
- e) nessuna delle risposte precedenti è corretta;

es3

Si dica quale delle reti sequenziali sottostanti esibisce nella sua dinamica la sequenza più lunga di transizioni di stati tutti distinti.

[Suggerimento: si derivi l'automa a stati implementato da ogni circuito.]



e) nessuno dei circuiti di sopra

es4

Una cache set-associativa consiste di 128 linee, divise in insiemi di 4 linee. La memoria centrale contiene 16K blocchi di 128 parole ciascuno. Il formato degli indirizzi della

memoria centrale è:

- a) Etichetta = 8 bit; Set = 6 bit; Parola = 6;
- b) Etichetta = 9 bit; Set = 5 bit; Parola = 7;
- c) Etichetta = 11 bit; Set = 3 bit; Parola = 6;
- d) Etichetta = 8 bit; Set = 4 bit; Parola = 7;
- e) nessuna delle risposte precedenti è corretta;

Esercizi a risposta libera

es5

Dare la descrizione completa del ciclo di fetch/execute, inclusa la gestione delle interruzioni

es6

Dire quali sono e descrivere formalmente i modelli di automa a stati finiti con output visti a lezione

es7

Spiegare quali possono essere le tecniche di mapping di blocco in una gerarchia di memoria (cache)

Nome e Cognome:

Matricola:

Pagina 8

es8

Spiegare a cosa serve l' unità MMU

Esercizi pratici

es9

Si consideri un sistema monoprocesso multi-utente con memoria virtuale segmentata paginata (con aging di 16 bit, e altri bit di controllo, inclusi diritti di accesso, per un totale di altri 8 bit). Si assuma che:

1. ciascun processo possa possedere al massimo 16 segmenti ed accederne, ad ogni istante, non più di 1;
2. a ciascun segmento sia associato un descrittore di 8B;
3. il descrittore di segmento designi la base del segmento in memoria fisica, espressa su 32 bit, e l'ampiezza effettiva del segmento (limite), espressa in 24 bit, con i restanti 8 bit contenenti informazione di controllo;
4. un processo emetta indirizzi logici di 32 bit con la seguente struttura: bit 0-11 indirizzo in pagina logica, bit 12-23 indirizzo di pagina logica, bit 24-31 non utilizzati; tali indirizzi designano un indirizzo fisico entro il segmento attivo mediante paginazione.

Si determini l'ampiezza minima dell'area di memoria occorrente per ospitare tutte le strutture di controllo associate alla memoria virtuale assegnata a ciascun processo, assumendo l'uso di unità di informazione di ampiezza minima di 1B. Spiegare in dettaglio la risposta.

es10

Assumendo una memoria fisica di capienza 3 pagine, inizialmente vuota, una memoria virtuale di capienza 8 pagine (numerate da 0 a 7) e la seguente sequenza di riferimenti:

$$0(0), 2(3), 7(5), 2(6), 3(8), 2(9), 1(11), 2(12), 3(15), 1(20), 7(22), 1(23), 2(25)$$

dove la notazione $X(Y)$ indica una richiesta dalla pagina X effettuata al tempo Y , mostrare l'evoluzione della lista mantenuta dall'algoritmo LRU (least recently used).