

Compito del Corso di Architettura degli Elaboratori 1

Anno Accademico 2004/2005

Appello del 22 Marzo 2005

Istruzioni

- Scrivere *Nome, Cognome e Matricola* su **ogni** foglio.
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicuratevi che non manchi alcun foglio al momento della consegna.

Esercizi a risposta multipla

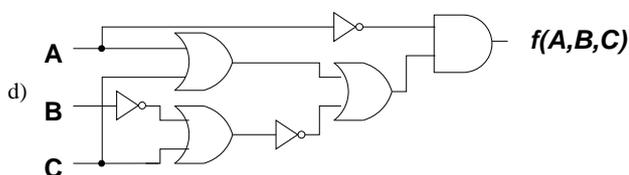
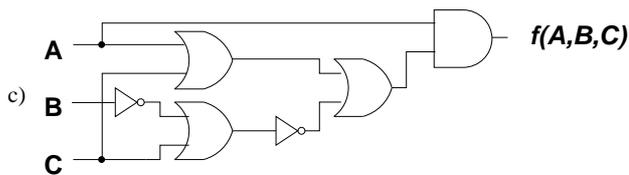
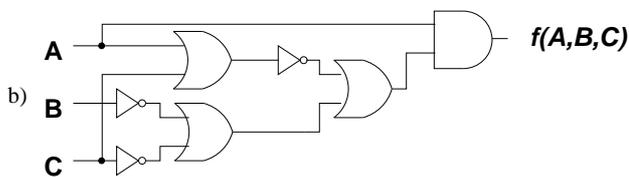
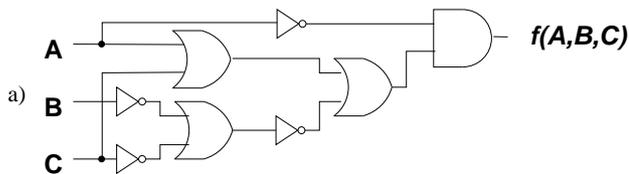
es1

Sia data una memoria segmentata con paginazione in grado di indirizzare 256 segmenti, ognuno comprendente fino a 16KB pagine di 4KB. Di quanti bit è costituito un indirizzo logico ?:

- a) 36;
- b) 34;
- c) 22;
- d) nessuna delle risposte precedenti è corretta;

es2

Si dica quale delle reti combinatorie sottostanti implementa la funzione logica $f(A, B, C) = A \overline{(BC)}$



- e) nessuno dei circuiti di sopra

es3

La terza condizione di Bernstein:

- a) è alla base della tecnica di ottimizzazione utilizzata dai compilatori nel caso di iterazioni annidate;
- b) diviene necessaria solo quando non si facciano ipotesi sulla durata delle operazioni e sul loro istante di inizio;
- c) è necessaria per la realizzazione della tecnica della fusione di vettori in strutture;
- d) nessuna delle affermazioni precedenti è corretta;

es4

Una microarchitettura di tipo microprogrammato:

- a) si pone come uno degli scopi principali la realizzazione di un insieme di istruzioni molto sofisticate anche partendo da un data path relativamente semplice;
- b) si pone come uno degli scopi principali la massimizzazione del numero di istruzioni eseguite a parità di clock, per questo adotta normalmente frequenze di clock inferiori rispetto a microarchitetture RISC;
- c) si pone come uno degli scopi principali la minimizzazione del numero di accessi in memoria RAM durante l'esecuzione dei programmi; per questo adotta normalmente un insieme di istruzioni di tipo Load/Store e contiene un numero relativamente elevato di registri di uso generale;
- d) si pone come uno degli scopi principali la massimizzazione della frequenza di clock, per questo adotta normalmente tecniche di caching delle microistruzioni per velocizzare l'accesso alla memoria del dispositivo LLC che la realizza;
- e) nessuna delle affermazioni precedenti è corretta;

Esercizi a risposta libera

es5

Descrivere le fasi tipiche di un pipeline, discutendo in che caso è utile una unità di data forwarding. Fare un esempio in cui la presenza di una unità di data forwarding non evita lo stallo del pipeline.

es6

Spiegare in cosa consiste una alea di commutazione e darne un esempio

Nome e Cognome:

Matricola:

Pagina 6

es7

Spiegare a cosa serve l' unità MMU

Nome e Cognome:

Matricola:

Pagina 7

es8

Spiegare quali possono essere le possibili architetture di CPU

Esercizi pratici

es9

Sia data la seguente sequenza di istruzioni assembler, dove i dati immediati sono espressi in esadecimale ed il registro R0 contiene il valore 0:

```

LB   R3, 100(R0)    ! load byte da mem[100+[R0]]
ADD  R2, R0, R0     ! R2 = R0 + R0
LB   R1, 108(R2)    ! load byte da mem[108+[R2]]
ADDI R2, R2, 5      ! R2 = R2 + 5
SUB  R4, R3, R2     ! R4 = R3 - R2
ADDI R1, R1, 7      ! R1 = R1 + 7
SB   R1, 108(R2)    ! store byte in mem[108+[R2]]
BGTZ R4, -6         ! PC = PC - 6 se [R4] > 0
                        ! cioe' salta alla istruzione LB   R1, 108(R2)

```

Si assuma la presenza di due cache, una dati ed una istruzioni. La cache dati, in particolare, è di ampiezza 8B, con dimensione di blocco 4B, inizialmente vuota, ed associazione diretta (con politica di rimpiazzo LRU e politica di scrittura write-through). Si assuma che la memoria abbia il contenuto esadecimale mostrato di seguito (si esprimano gli indirizzi su 12 bit):

Indirizzo	byte	byte	byte	byte
100	0F	00	07	02
104	00	00	00	00
108	AE	13	A1	23
10C	A1	42	90	75
110	B9	16	00	00
114	0A	07	03	71

Si mostri come sia il contenuto della cache dati che il contenuto della memoria cambia a causa della esecuzione del codice assembler.

es10

Si consideri il codice assembler dell'esercizio precedente (es9) e la pipeline MIPS a 5 stadi vista a lezione, con possibilità di data-forwarding e scrittura e successiva lettura dei registri in uno stesso ciclo di clock. Si assuma che ogni operazione di memoria impieghi un solo ciclo di clock e che i salti condizionali siano predetti come "taken" (presi). Si mostri il diagramma degli stadi della pipeline per l'esecuzione del codice fino alla prima occorrenza (inclusa) della istruzione `BGTZ R3, L`.

Dire inoltre quanti cicli occorrono per completare l'esecuzione del codice.

