

Esempio di Compito del Corso di Architettura degli Elaboratori 1

Anno Accademico 2003/2004

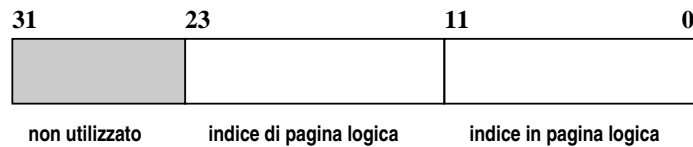
Istruzioni

- Scrivere *Nome*, *Cognome* e *Matricola* su **ogni** foglio.
- Scrivere la risposta nello spazio bianco al di sotto della domanda; Non è possibile allegare fogli aggiuntivi, quindi cercate di essere chiari e non prolissi.
- In caso di errori indicate chiaramente quale parte della risposta deve essere considerata; annullate le parti non pertinenti.
- Assicuratevi che non manchi alcun foglio al momento della consegna.

Esercizi a risposta multipla

es1

Siano dati un indirizzo logico con la struttura mostrata di seguito



e la seguente funzione di rilocazione

indice pagina logica	base pagina fisica
0000 0000 0000	0001 0000 0000 0000
0000 0000 0001	1010 0000 0000 0000
0000 0000 0010	0101 0000 0000 0000
.....

Si consideri l'indirizzo logico con valore decimale 4136. Ad esso corrisponde l'indirizzo fisico

- a) $A028_{hex}$;
- b) 0001000000101000 in binario;
- c) 24616 in decimale;
- d) nessuna delle risposte precedenti è corretta;

es2

Il Process Control Block

- a) è una struttura dati del controller di un dispositivo;
- b) è una struttura dati del sistema operativo che serve esclusivamente a fornire un'area protetta di memoria per lo scambio controllato di messaggi fra processi;
- c) contiene tutte le informazioni riguardanti un determinato processo incluso un puntatore alla lista delle risorse a questo assegnate;
- d) nessuna delle affermazioni precedenti è corretta;

es3

Lo standard IEEE/ANSI 754

- a) arrotonda il risultato di una moltiplicazione utilizzando i così detti 'sticky bits';
- b) rappresenta numeri reali in virgola fissa utilizzando i campi segno, mantissa ed esponente;
- c) serve esclusivamente per rappresentare numeri in virgola mobile nel formato XR (extended real);
- d) nessuna delle risposte precedenti è corretta;

es4

Una microarchitettura di tipo microprogrammato:

- a) si pone come uno degli scopi principali la realizzazione di un insieme di istruzioni molto sofisticate anche partendo da un data path relativamente semplice;
- b) si pone come uno degli scopi principali la massimizzazione del numero di istruzioni eseguite a parità di clock, per questo adotta normalmente frequenze di clock inferiori rispetto a microarchitetture RISC;
- c) si pone come uno degli scopi principali la minimizzazione del numero di accessi in memoria RAM durante l'esecuzione dei programmi; per questo adotta normalmente un insieme di istruzioni di tipo Load/Store e contiene un numero relativamente elevato di registri di uso generale;
- d) si pone come uno degli scopi principali la massimizzazione della frequenza di clock, per questo adotta normalmente tecniche di caching delle microistruzioni per velocizzare l'accesso alla memoria del dispositivo LLC che la realizza;
- e) nessuna delle affermazioni precedenti è corretta;

Esercizi a risposta libera

es5

Dare la definizione esatta e completa di "interruzione precisa"

es6

Dire quali sono e descrivere formalmente i modelli di automa a stati finiti con output visti a lezione

es7

Descrivere le tecniche che si conoscono per predire l'esito di un salto condizionato al fine di ottimizzare l'utilizzo di un pipeline

es8

Descrivere i modi in cui il DMA controller può accedere al canale dati

Esercizi pratici

es9

Sia dato un gestore di processi con ordinamento a divisione di tempo, con quanto di tempo fissato in 4 ms, e selezione a priorità, dove il processo a priorità più elevata ha precedenza sugli altri processi pronti. Siano dati i seguenti processi, dei quali si indicano, rispettivamente, la priorità, il tempo di esecuzione richiesto in ms ed il tempo di attivazione relativo al tempo 0 di inizio delle attività:

	priorità'	tempo esec.	tempo attivaz.
A	3	13	5
B	5	9	8
C	1	21	0

Si mostri l'ordinamento di tali processi come effettuato dal suddetto gestore, assumendo una gestione che eviti lo spreco di quanto di tempo assegnati ma utilizzati solo parzialmente.

Nome e Cognome:

Matricola:

Pagina 9

es10

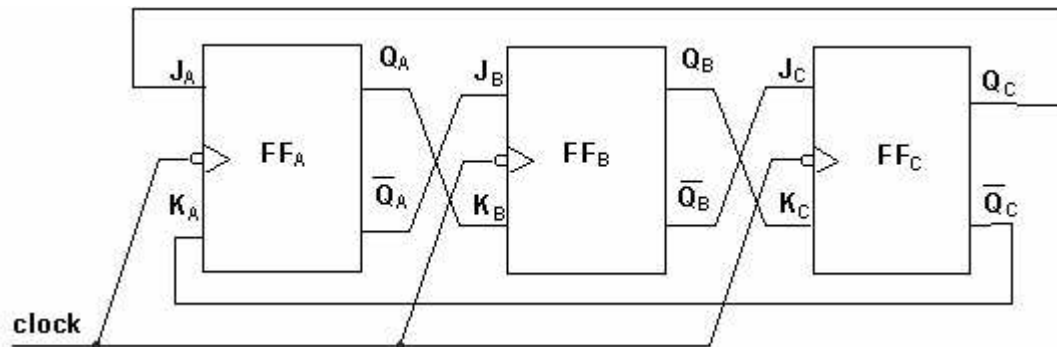
Assumendo una memoria fisica di capienza 3 pagine, inizialmente vuota, una memoria virtuale di capienza 8 pagine (numerate da 0 a 7) e la seguente sequenza di riferimenti:

0(0),2(3),7(5),2(6),3(8),2(9), 1(11),2(12),3(15)

dove la notazione X(Y) indica una richiesta dalla pagina X effettuata al tempo Y, mostrare l'evoluzione della lista mantenuta dall'algoritmo LRU (least recently used).

es11

Tracciare l'evoluzione temporale ed il diagramma degli stati della seguente rete sequenziale sincrona, a partire dallo stato iniziale $Q_A = Q_B = Q_C = 0$.



Sono richieste:

- Il disegno del diagramma temporale
- Il commento di almeno il primo passo (valutazione dello stato di partenza, determinazione dei segnali di controllo consequenziali, arrivo del segnale di sincronizzazione, determinazione delle uscite relative, etc...)

