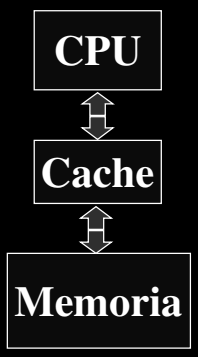
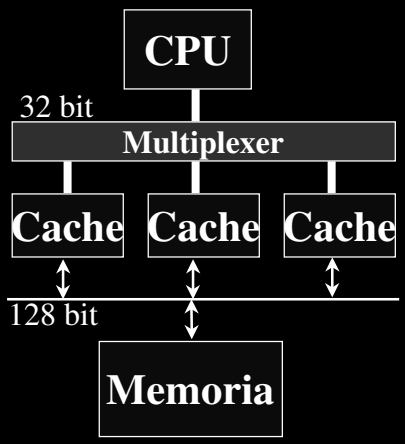
3.2 Gerarchie di memoria
Memoria principale 1



Organizzazione diretta

Il bus tra CPU e cache ha la stessa dimensione di quello tra cache e memoria principale

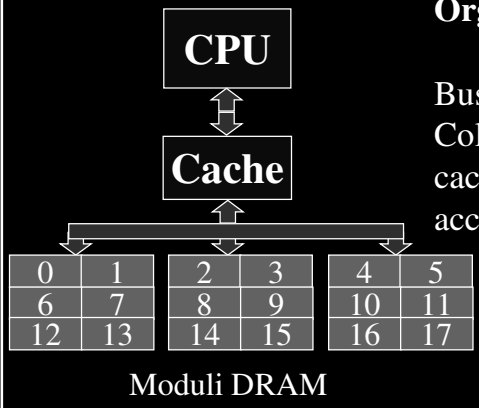
3.2 Gerarchie di memoria
Memoria principale 2



Organizzazione estesa

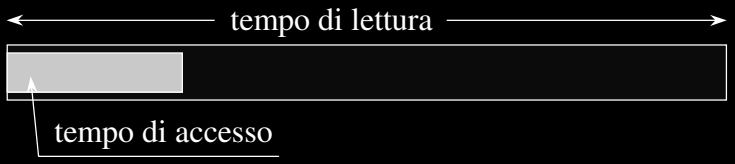
Un instradatore tra CPU ed N cache. Bus più ampio tra le cache e la memoria principale

3.2 Gerarchie di memoria
Memoria principale 3



Organizzazione interallacciata

Bus semplice tra CPU e cache. Collegamento interallacciato tra cache e moduli DRAM con accessi simultanei

3.2 Gerarchie di memoria
Tecniche d'uso di DRAM 1

- Tempo di accesso: tempo necessario alla memoria per accedere alla cella indirizzata
- Tempo di lettura: tempo necessario alla CPU per acquisire un dato dal DB, dall'emissione dell'indirizzo in AB