Reti sequenziali (segue)

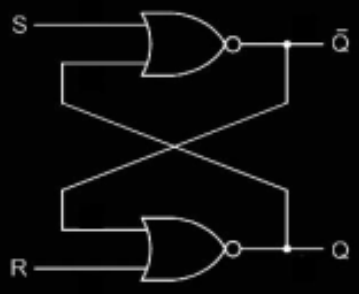
- Esempio
  - $y = S(t_i)$; $Y = S(t_{i+1})$; $x = X(t_i)$; $z = Z(t_{i+1})$

		ϖ	σ
y	**x**	**z**	**Y**
0	0	0	1
1	0	1	1
0	1	0	0
1	1	1	0

Reti sequenziali (segue)

- Esempio: Latch SR
  - permette di memorizzare 1 bit

Ingressi: S e R
Stato: $\bar{Q}$ e Q
Uscite: $\bar{Q}$ e Q



$S(t_{i+1}) = \sigma(X(t_i), S(t_i)) = \sigma(S_{t_i}, R_{t_i}, \bar{Q}_{t_i}, Q_{t_i})$
$= \{\bar{Q}_{t_{i+1}} = \text{nor}(S_{t_i}, Q_{t_i}),\ Q_{t_{i+1}} = \text{nor}(\bar{Q}_{t_i}, R_{t_i})\}$
$Z(t_{i+1}) = \varpi(X(t_i), S(t_i)) = \varpi(S_{t_i}, R_{t_i}, \bar{Q}_{t_i}, Q_{t_i}) = \sigma(S_{t_i}, R_{t_i}, \bar{Q}_{t_i}, Q_{t_i})$

Reti sequenziali (segue)

input t		stato t		stato t+1		
S	R	$\bar{Q}$	Q	$\bar{Q}$	Q	
0	0	0	0	1	1	
0	0	0	1	0	1	← stato stabile
0	0	1	0	1	0	← stato stabile
0	0	1	1	0	0	
0	1	0	0	1	0	
0	1	0	1	0	0	
0	1	1	0	1	0	← stato stabile
0	1	1	1	0	0	
1	0	0	0	0	1	
1	0	0	1	0	1	← stato stabile
1	0	1	0	0	0	
1	0	1	1	0	0	
1	1	0	0	0	0	← stato stabile
1	1	0	1	0	0	
1	1	1	0	0	0	
1	1	1	1	0	0	

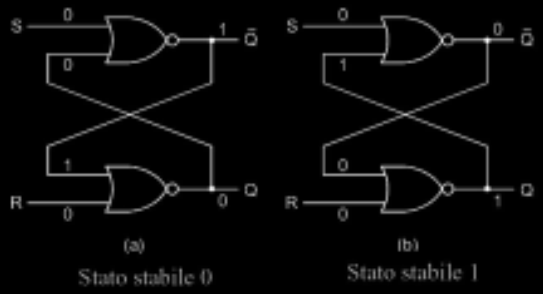
Esistono 3 "stati stabili" per alcune configurazioni in ingresso:

- 00 01 → 01 (stato stabile "1")
- 00 10 → 10 (stato stabile "0")
- 01 10 → 10
- 10 01 → 01
- 11 00 → 00 (stato stabile da evitare)

A noi interessa interpretrare $\bar{Q}$ come il complemento di Q, cioè
Q = not(Q)
Quindi gli stati 00 e 11 li consideriamo non coerenti (output non coerente)

Reti sequenziali (segue)

- Esempio: Latch SR
  - permette di memorizzare 1 bit
  - ha 2 stati stabili (bit a 0, e bit a 1)



S (setting) imposta lo stato 1
R (reset) imposta lo stato 0
Q è l'output
$\bar{Q}$ è il complemento di Q