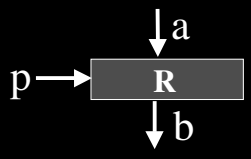
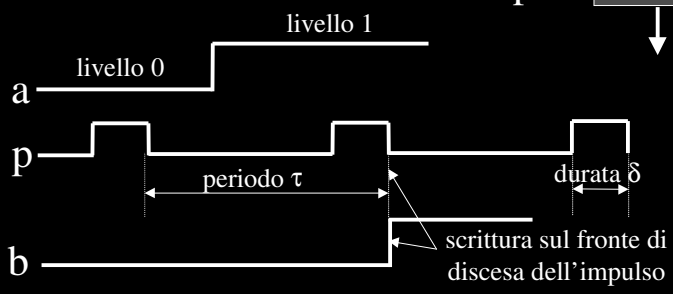
Reti sequenziali (segue)

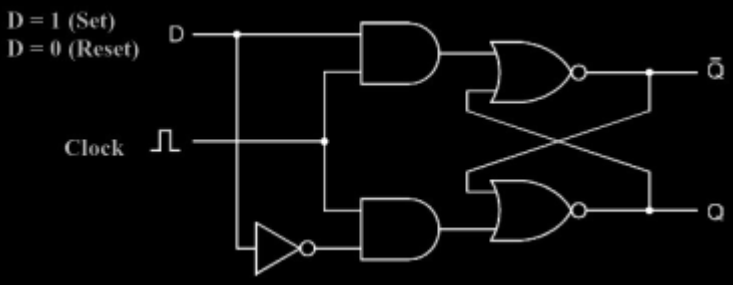
- Rete sequenziale impulsata **R** con ingresso ed uscita a livelli
  - **R** ::= **when** p **do** b := a





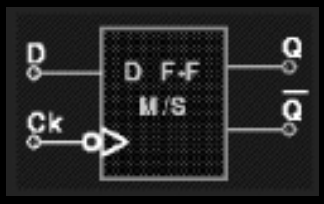
Reti sequenziali (segue)

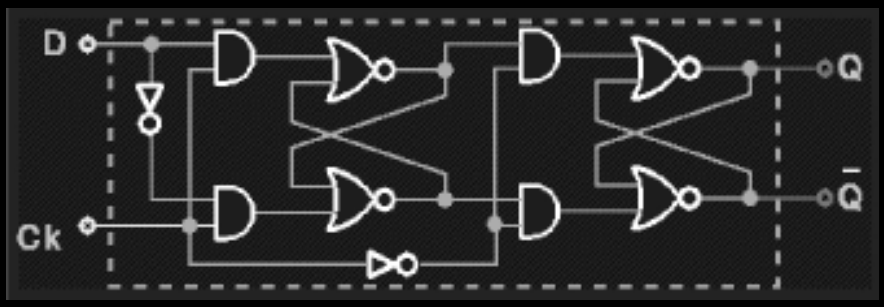
- Latch D sincronizzato:
  - evita che S e R siano uguali
  - sincronizzato



Reti sequenziali (segue)

- Master/Slave Edge-triggered:
  - la variazione dell'output si ha quando cambia la variabile di controllo (edge-triggered) e non direttamente dal valore (level-triggered)



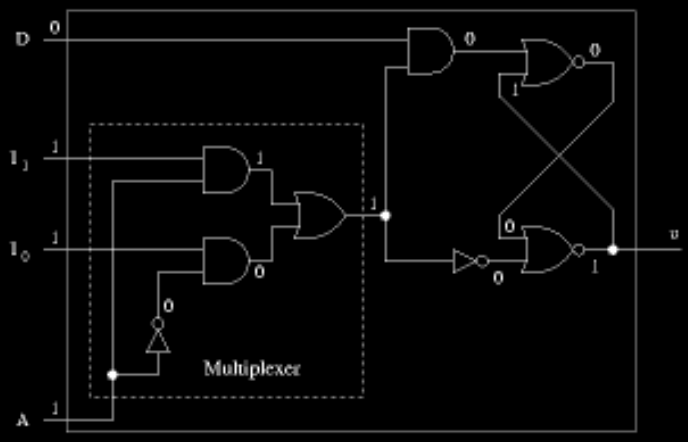


Reti sequenziali (segue)

- Importanza della sincronia: problema delle alee
  - in un circuito non sincronizzato (asincrono) si possono creare problemi di stabilizzazione del segnale, o meglio fenomeni transitori, detti alee di communtazione, che possono determinare un comportamento non atteso della rete sequenziale
  - in particolare, una alea di commutazione è determinata dal ritardo di propagazione della variazione dei segnali all'interno del circuito

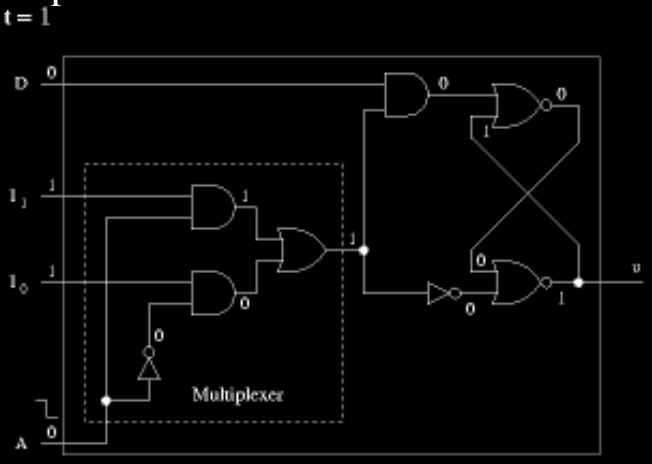
Reti sequenziali (segue)

- Esempio di alea di commutazione



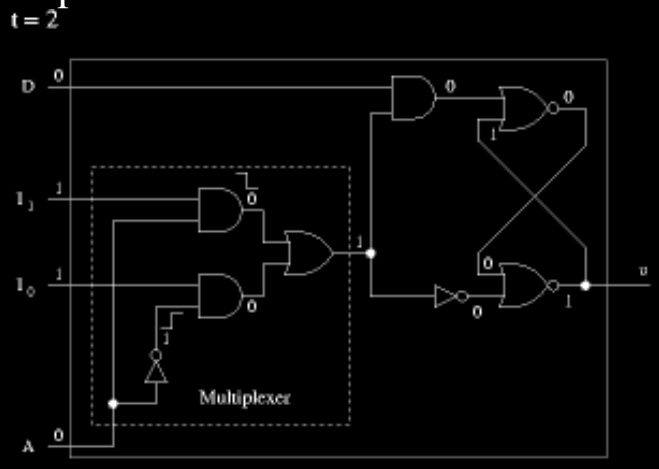
Reti sequenziali (segue)

- Esempio di alea di commutazione



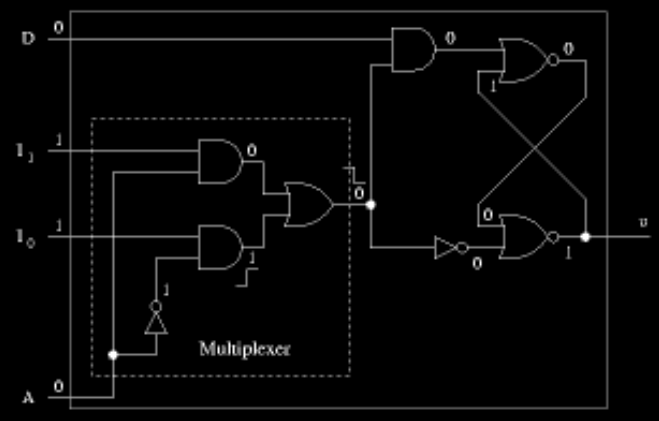
Reti sequenziali (segue)

- Esempio di alea di commutazione



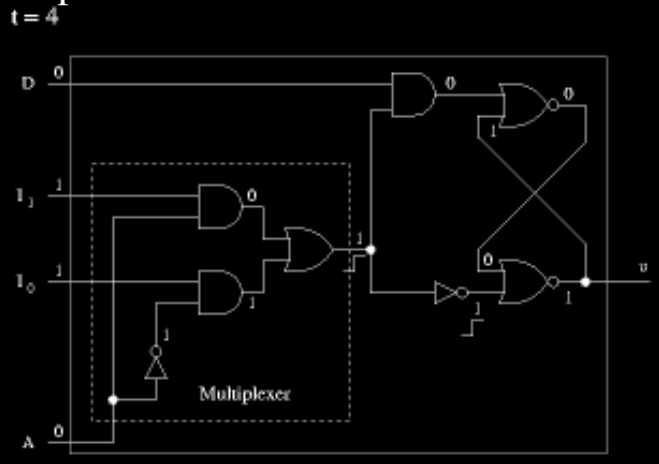
Reti sequenziali (segue)

- Esempio di alea di commutazione



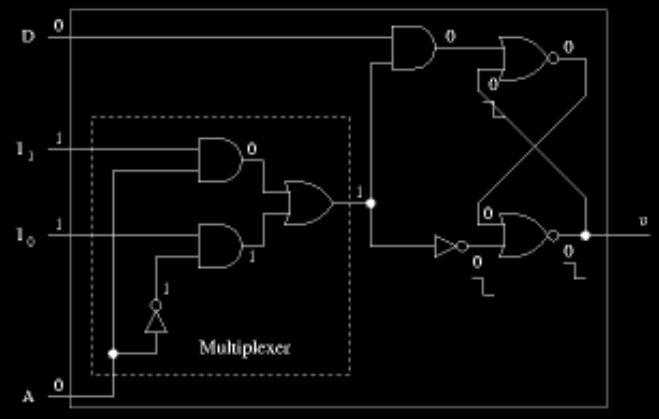
Reti sequenziali (segue)

- Esempio di alea di commutazione



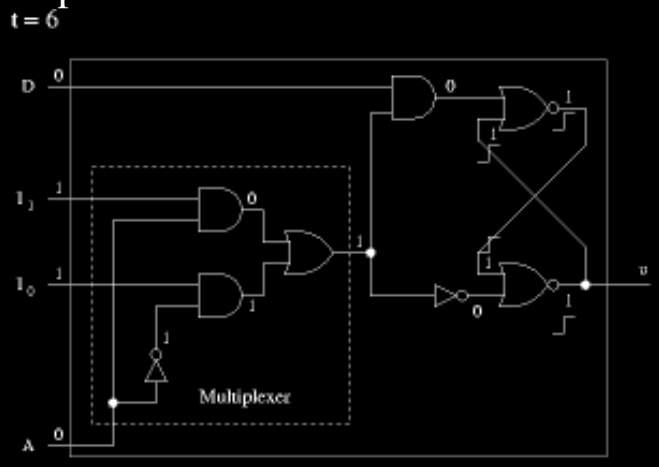
Reti sequenziali (segue)

- Esempio di alea di commutazione



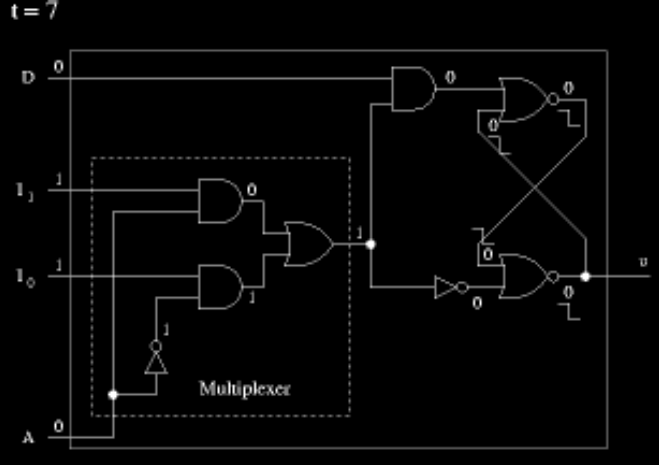
Reti sequenziali (segue)

- Esempio di alea di commutazione



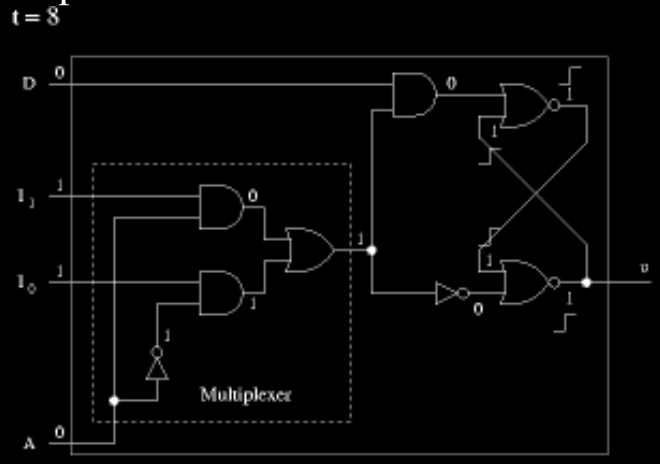
Reti sequenziali (segue)

- Esempio di alea di commutazione



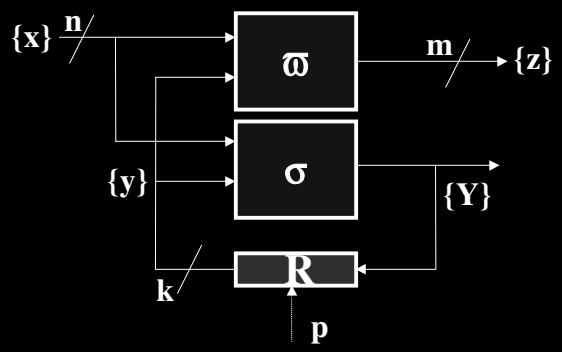
Reti sequenziali (segue)

- Esempio di alea di commutazione

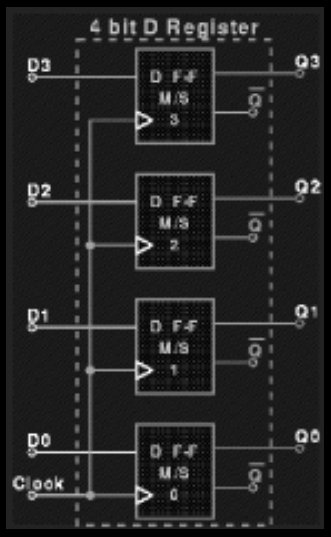


Reti sequenziali (segue)

- Rete sequenziale sincrona '*Level input Level output Clocked*' (**LLC**), modello di Mealy
  - {**x**} e {**y**} sono a **livelli**; **p** (clock) è **impulsivo**

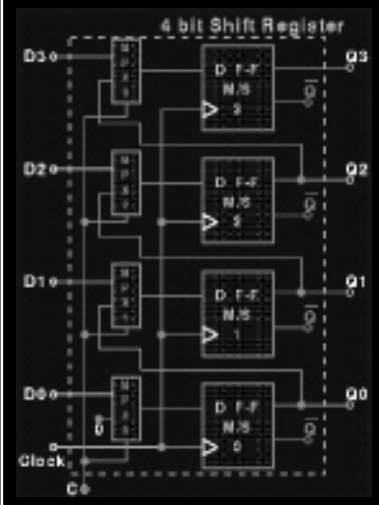


Reti sequenziali (segue)



- Registro di tipo D (a 4 bit):
  - è il circuito sincrono piu' semplice che realizza un registro
  - memorizzazione (store): dati presentati in ingresso e clock da 0 a 1 (uscita riproduce ingresso)
  - mantenimento (hold): clock da 1 a 0 (poi costante); l'uscita rimane invariata indipendentemente dal valore degli ingressi

Reti sequenziali (segue)



- Registro a scorrimento:
  - C=0

    scorrimento verso l'alto dei bit, e valore "0" inserito sul bit meno significativo
  - C=1

    store degli ingressi
  - permette la conversione "parallelo/seriale": si memorizzano i dati in parallelo e si "trasmettono" uno alla volta su Q_3