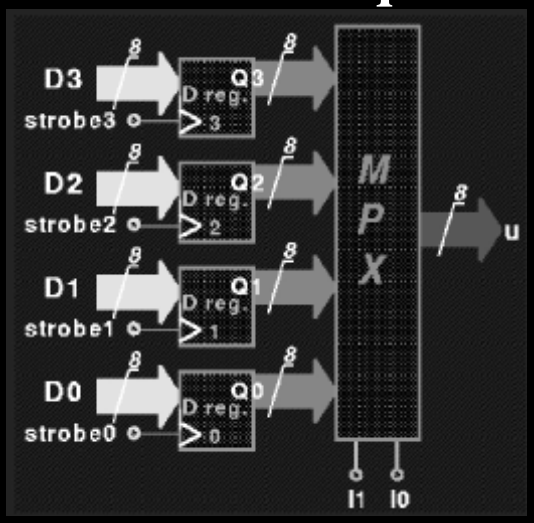
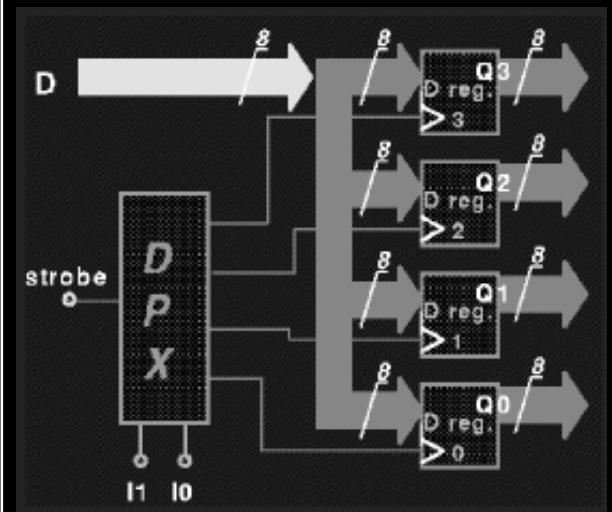
Reti sequenziali (segue)



- Lettura
  - 4 celle di 8 bit realizzate tramite registri sincroni di tipo D
  - 2 bit di indirizzo (I_0, I_1)
  - strobe è il segnale di clock
  - MPX è un multiplexer

Struttura di un elaboratore Architettura degli Elaboratori - 1 - A. Sperduti Pagina 60

Reti sequenziali (segue)

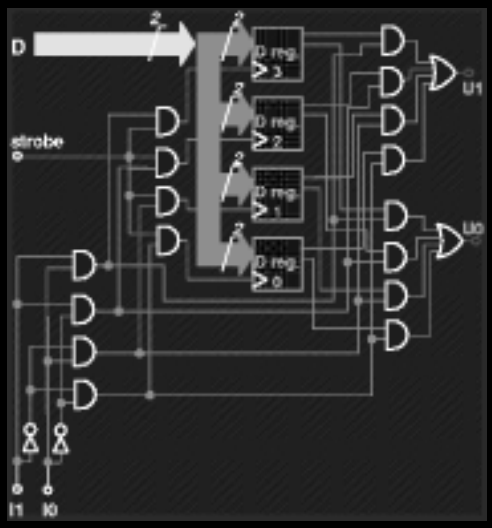


- Scrittura
  - 4 celle di 8 bit realizzate tramite registri sincroni di tipo D
  - D è il dato da memorizzare all'indirizzo specificato da I_1I_0
  - strobe è il segnale di clock
  - DPX è un demultiplexer

Struttura di un elaboratore Architettura degli Elaboratori - 1 - A. Sperduti Pagina 61

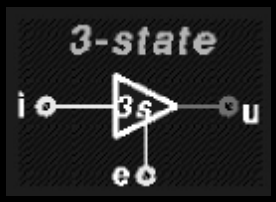
Reti sequenziali (segue)

- RAM ottimizzata
  - combina il multiplexer con il demultiplexer
  - 4 celle di 2 bit
  - la lettura avviene sempre
  - la scrittura avviene come in precedenza

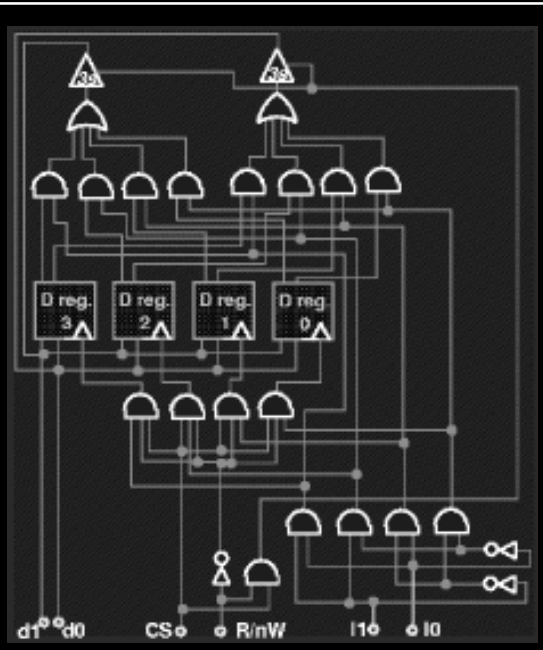


Struttura di un elaboratore — Architettura degli Elaboratori - 1 - A. Sperduti — Pagina 62

- RAM modulari
  - usano dispositivo a 3 stati



i	e	u
0	0	non connesso
0	1	0
1	0	non connesso
1	1	1



Struttura di un elaboratore — Architettura degli Elaboratori - 1 - A. Sperduti — Pagina 63