

Reti sequenziali (segue)

- 2 modelli matematici di automa
 - ✓ **Modello di Mealy**
 - $S(t_{i+1}) = \sigma(X(t_i), S(t_i))$
 - $Z(t_{i+1}) = \omega(X(t_i), S(t_i))$
 - ✓ Sia lo stato interno **successivo** $S(t_{i+1})$ che lo stato di uscita successivo $Z(t_{i+1})$ dipendono tanto dallo stato di ingresso **presente** $X(t_i)$ che dallo stato interno presente $S(t_i)$

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 59

Reti sequenziali (segue)

- ✓ **Modello di Moore**
 - $S(t_{i+1}) = \sigma(X(t_i), S(t_i))$
 - $Z(t_{i+1}) = \omega(S(t_i))$
- ✓ La sequenza di uscita è **ritardata** di un intervallo Δ rispetto a quella di un modello di Mealy:
 - $Z(t_{i+1}) = \omega(S(t_i)) = \omega(\sigma(X(t_{i-1}), S(t_{i-1}))) = \omega(X(t_{i-1}), S(t_{i-1}))$

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 60

Reti sequenziali (segue)

- La realizzazione delle funzioni σ ed ω mediante reti combinatorie dà luogo alla **parte combinatoria** delle reti sequenziali
- Il modo classico di rappresentare (specificare) è mediante **tabelle di verità**

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 61

Reti sequenziali (segue)

- Esempio
 - $y = S(t_i) ; Y = S(t_{i+1}) ; x = X(t_i) ; z = Z(t_{i+1})$

		ω	σ
y	x	z	Y
0	0	0	1
1	0	1	1
0	1	0	0
1	1	1	0

Struttura di un elaboratore

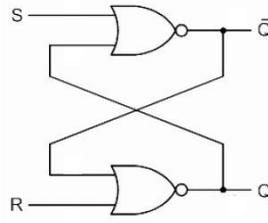
Architettura degli elaboratori -1

Pagina 62

Reti sequenziali (segue)

- Esempio: Latch SR
 - permette di memorizzare 1 bit

Ingressi: S e R
Stato: \bar{Q} e Q
Uscite: \bar{Q} e Q



$$S(t_{i+1}) = \sigma(X(t_i), S(t_i)) = \sigma(S_t, R_t, \bar{Q}_t, Q_t)$$

$$= \{ \bar{Q}_{t+1} = \text{nor}(S_t, Q_t), Q_{t+1} = \text{nor}(Q_t, R_t) \}$$

$$Z(t_{i+1}) = \omega(X(t_i), S(t_i)) = \omega(S_t, R_t, \bar{Q}_t, Q_t) = \sigma(S_t, R_t, \bar{Q}_t, Q_t)$$

Struttura di un elaboratore Architettura degli elaboratori -1 Pagina 63

Reti sequenziali (segue)

Esistono 3 “stati stabili” per alcune configurazioni in ingresso:

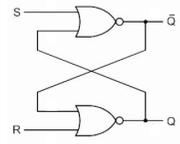
00 01 → 01 (stato stabile “1”)
00 10 → 10 (stato stabile “0”)
01 10 → 10
10 01 → 01
11 00 → 00 (stato stabile da evitare)

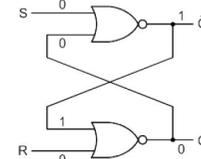
input t	stato t	stato t+1
S R	\bar{Q} Q	\bar{Q} Q
0 0	0 0	1 1
0 0	0 1	0 1
0 0	1 0	1 0
0 0	1 1	0 0
0 1	0 0	1 0
0 1	0 1	0 0
0 1	1 0	1 0
0 1	1 1	0 0
1 0	0 0	0 1
1 0	0 1	0 1
1 0	1 0	0 0
1 0	1 1	0 0
1 1	0 0	0 0
1 1	0 1	0 0
1 1	1 0	0 0
1 1	1 1	0 0

Struttura di un elaboratore Architettura degli elaboratori -1 Pagina 64

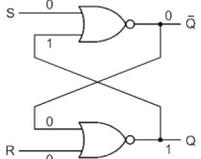
Reti sequenziali (segue)

- Esempio: Latch SR
 - permette di memorizzare 1 bit
 - ha 2 stati stabili (bit a 0, e bit a 1)





(a)
Stato stabile 0



(b)
Stato stabile 1

S (setting) imposta lo stato 1
R (reset) imposta lo stato 0
Q è l'output
Q̄ è il complemento di Q

Struttura di un elaboratore Architettura degli elaboratori -1 Pagina 65

Reti sequenziali (segue)

- Nel modello **ideale** le funzioni σ ed ω hanno un tempo di stabilizzazione **nullo**
- Nel modello **reale** occorre un ritardo **non nullo** per la stabilizzazione delle uscite, a partire da quando gli ingressi sono stabili
- Gli ingressi di tipo $\{y\} = S(t_i)$ variano, in principio, in tempi **diversi** rispetto agli ingressi di tipo $\{x\} = X(t_i)$

Struttura di un elaboratore Architettura degli elaboratori -1 Pagina 66

Reti sequenziali (segue)

- Occorre dunque ripristinare l'ipotesi che le le variabili di ingresso alla rete varino tutte simultaneamente, ad intervalli temporali discreti Δ

Struttura di un elaboratore

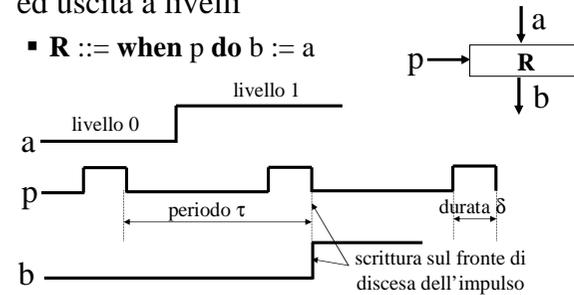
Architettura degli elaboratori -1

Pagina 67

Reti sequenziali (segue)

- Rete sequenziale impulsata **R** con ingresso ed uscita a livelli

- $R ::= \text{when } p \text{ do } b := a$



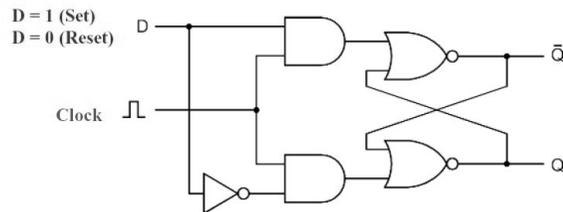
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 68

Reti sequenziali (segue)

- Latch D sincronizzato:
 - evita che S e R siano uguali
 - sincronizzato



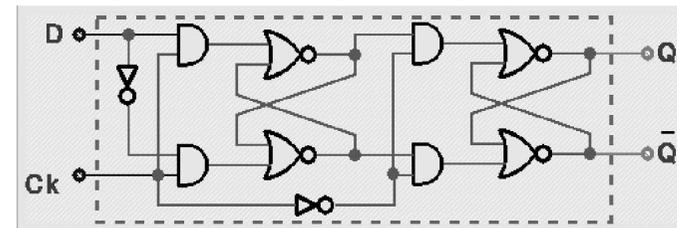
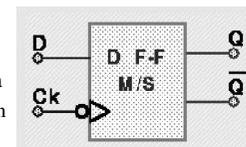
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 69

Reti sequenziali (segue)

- Master/Slave Edge-triggered:
 - la variazione dell'output si ha quando cambia la variabile di controllo (edge-triggered) e non direttamente dal valore (level-triggered)



Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 70