

Reti sequenziali (segue)

- Nel modello **ideale** le funzioni σ ed ω hanno un tempo di stabilizzazione **nullo**
- Nel modello **reale** occorre un ritardo **non nullo** per la stabilizzazione delle uscite, a partire da quando gli ingressi sono stabili
- Gli ingressi di tipo $\{y\} = S(t_i)$ variano, in principio, in tempi **diversi** rispetto agli ingressi di tipo $\{x\} = X(t_i)$

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 66

Reti sequenziali (segue)

- Occorre dunque ripristinare l'ipotesi che le variabili di ingresso alla rete varino tutte simultaneamente, ad intervalli temporali discreti Δ

Struttura di un elaboratore

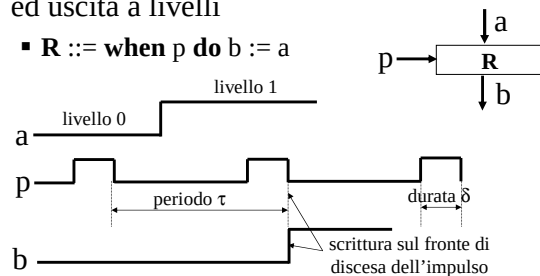
Architettura degli elaboratori -1

Pagina 67

Reti sequenziali (segue)

- Rete sequenziale impulsata **R** con ingresso ed uscita a livelli

- $R ::= \text{when } p \text{ do } b := a$



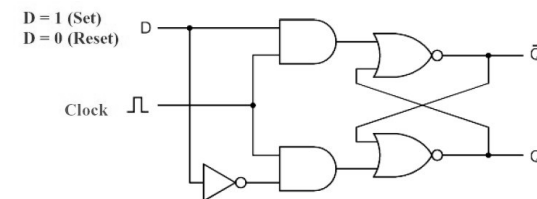
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 68

Reti sequenziali (segue)

- Latch D sincronizzato:
 - evita che S e R siano uguali
 - sincronizzato



Struttura di un elaboratore

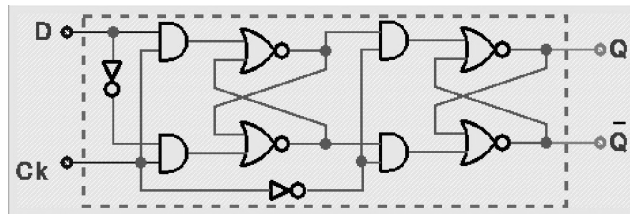
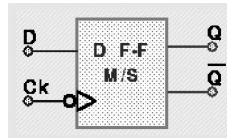
Architettura degli elaboratori -1

Pagina 69

Reti sequenziali (segue)

- Master/Slave Edge triggered:

- la variazione dell'output si ha quando cambia la variabile di controllo (edge-triggered) e non direttamente dal valore (level-triggered)



Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 70

Reti sequenziali (segue)

- Importanza della sincronia: problema delle alee

- in un circuito non sincronizzato (asincrono) si possono creare problemi di stabilizzazione del segnale, o meglio fenomeni transitori, detti alee di commutazione, che possono determinare un comportamento non atteso della rete sequenziale
- in particolare, una alea di commutazione è determinata dal ritardo di propagazione della variazione dei segnali all'interno del circuito

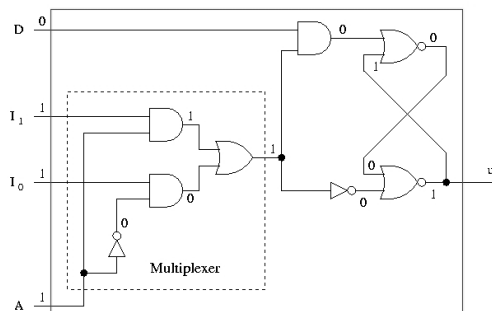
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 71

Reti sequenziali (segue)

- Esempio di alea di commutazione



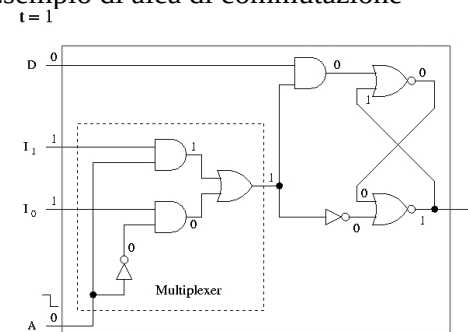
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 72

Reti sequenziali (segue)

- Esempio di alea di commutazione



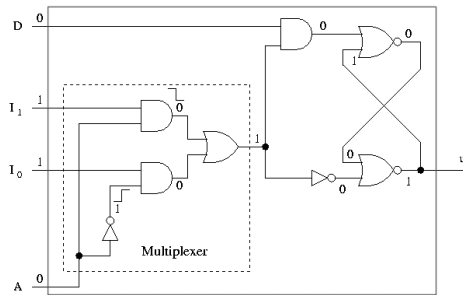
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 73

Reti sequenziali (segue)

- Esempio di alea di commutazione
 $t = 2$



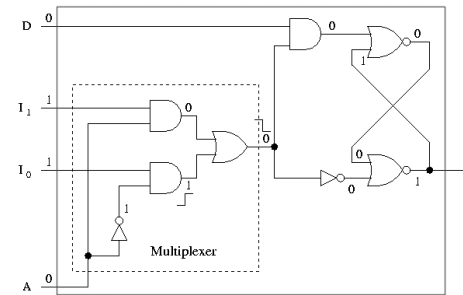
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 74

Reti sequenziali (segue)

- Esempio di alea di commutazione
 $t = 3$



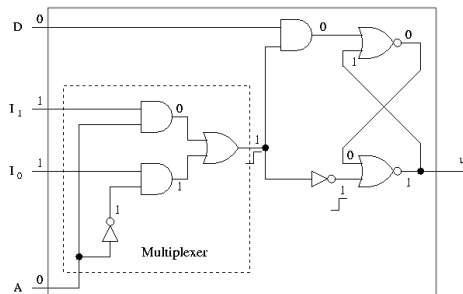
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 75

Reti sequenziali (segue)

- Esempio di alea di commutazione
 $t = 4$



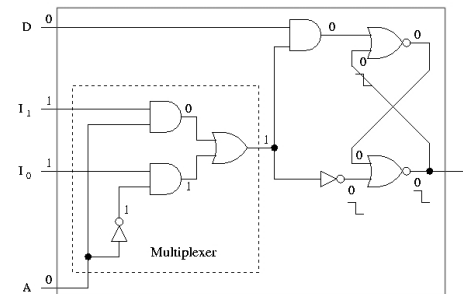
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 76

Reti sequenziali (segue)

- Esempio di alea di commutazione
 $t = 5$



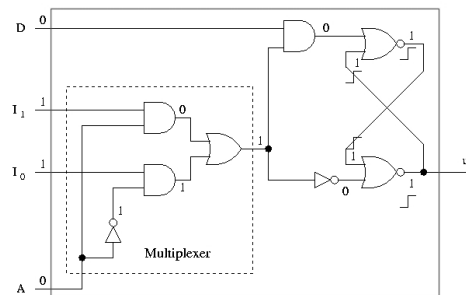
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 77

Reti sequenziali (segue)

- Esempio di alea di commutazione
 $t = 6$



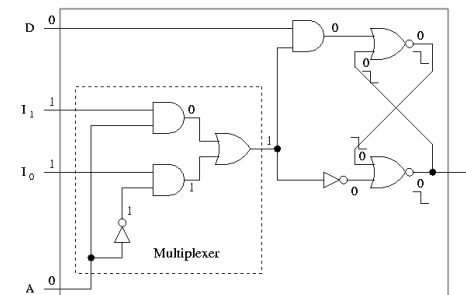
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 78

Reti sequenziali (segue)

- Esempio di alea di commutazione
 $t = 7$



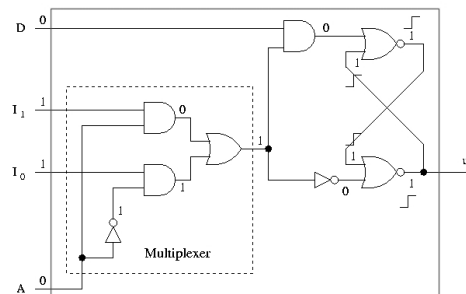
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 79

Reti sequenziali (segue)

- Esempio di alea di commutazione
 $t = 8$



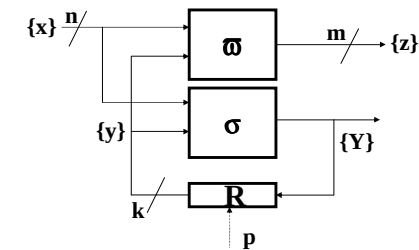
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 80

Reti sequenziali (segue)

- Rete sequenziale sincrona 'Level input Level output Clocked' (LLC), modello di Mealy
 - $\{x\}$ e $\{y\}$ sono a livelli; p (clock) è impulsivo

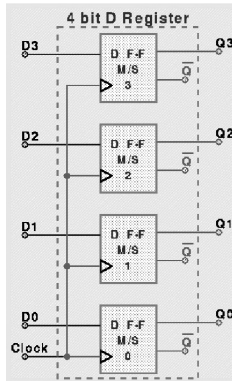


Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 81

Reti sequenziali (segue)



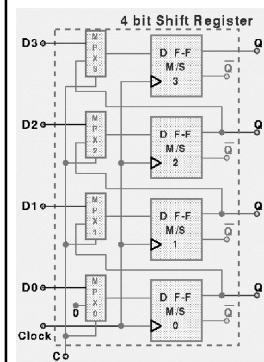
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 82

- Registro di tipo D (a 4 bit):
 - è il circuito sincrono più semplice che realizza un registro
 - memorizzazione (store): dati presentati in ingresso e clock da 0 a 1 (uscita riproduce ingresso)
 - mantenimento (hold): clock da 1 a 0 (poi costante); l'uscita rimane invariata indipendentemente dal valore degli ingressi

Reti sequenziali (segue)



Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 83

- Registro a scorrimento:
 - C=0
scorrimento verso l'alto dei bit, e valore "0" inserito sul bit meno significativo
 - C=1
store degli ingressi
 - permette la conversione "parallelo/seriale": si memorizzano i dati in parallelo e si "trasmettono" uno alla volta su Q₃

Reti sequenziali (segue)

- Memorie (RAM):
 - insieme di celle identificate da un numero (**indirizzo**)
 - ogni cella è in grado di codificare n bit (es. n=8 [byte], n=16, ...)
 - ogni cella deve preservare nel tempo il suo contenuto (**memoria**) a meno di operazioni di scrittura
 - una cella deve poter essere letta fornendo l'indirizzo della stessa (**lettura**)
 - la lettura di una cella non deve cancellare l'informazione letta
 - una cella deve poter essere scritta fornendo sia l'indirizzo della stessa che l'informazione da memorizzare (compatibile con il valore di n) (**scrittura**)

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 84

Reti sequenziali (segue)

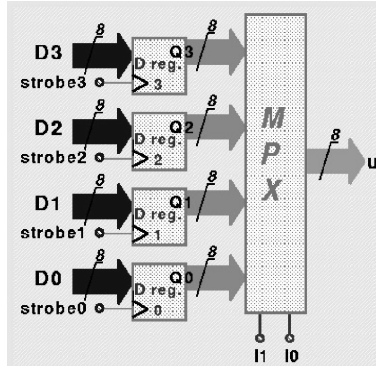
- RAM statiche:
 - implementate tramite registri di tipo D
 - Problema: realizzare un meccanismo per consentire l'accesso in scrittura e lettura di una singola cella di memoria alla volta (specificata dall'indirizzo in ingresso alla memoria)
 - gli indirizzi della memoria saranno specificati come numeri interi progressivi rappresentati in base 2 (rappresentazione binaria; es. *ind* da 0 a 7, richiede 3 bit: *ind*=5 è rappresentato da 101, *ind*=6 è rappresentato da 110, ...)
 - vediamo come realizzare separatamente i meccanismi per implementare la **lettura** e quelli per implementare la **scrittura**

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 85

Reti sequenziali (segue)



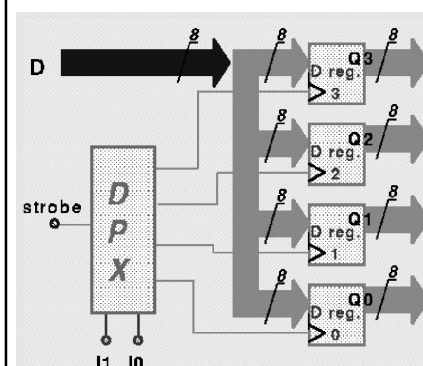
- Lettura
 - 4 celle di 8 bit realizzate tramite registri sincroni di tipo D
 - 2 bit di indirizzo (I_0, I_1)
 - strobe è il segnale di clock
 - MPX è un multiplexer

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 86

Reti sequenziali (segue)



- Scrittura
 - 4 celle di 8 bit realizzate tramite registri sincroni di tipo D
 - D è il dato da memorizzare all'indirizzo specificato da I_1, I_0
 - strobe è il segnale di clock
 - DPX è un demultiplexer

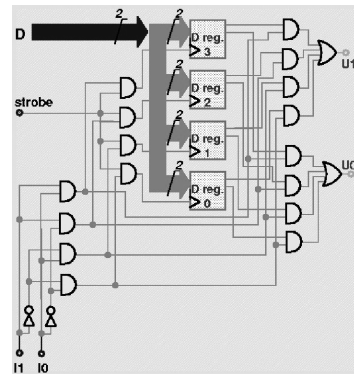
Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 87

Reti sequenziali (segue)

- RAM ottimizzata
 - combina il multiplexer con il demultiplexer
 - 4 celle di 2 bit
 - la lettura avviene sempre
 - la scrittura avviene come in precedenza

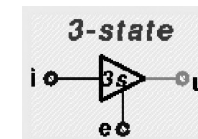


Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 88

- RAM modulari
 - usano dispositivo a 3 stati



i	e	u
0	0	non connesso
0	1	0
1	0	non connesso
1	1	1

Struttura di un elaboratore

Architettura degli elaboratori -1

Pagina 89